

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月14日

出 願 番 号  
Application Number:

特願2001-072141

[ST.10/C]:

[JP2001-072141]

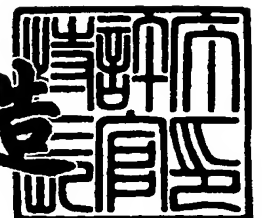
出 願 人  
Applicant(s):

株式会社デンソー

2002年 1月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001470

【書類名】 特許願  
【整理番号】 PNID3592  
【提出日】 平成13年 3月14日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01S 17/00  
G01S 13/30  
【発明者】  
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内  
【氏名】 渡辺 高元

---

【発明者】  
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内  
【氏名】 磯村 博文

【特許出願人】  
【識別番号】 000004260  
【氏名又は名称】 株式会社デンソー

【代理人】  
【識別番号】 100082500  
【弁理士】  
【氏名又は名称】 足立 勉  
【電話番号】 052-231-7835

【手数料の表示】  
【予納台帳番号】 007102  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9004766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトクロック発生装置

【特許請求の範囲】

【請求項 1】 基準クロックに対して所定の位相差を有するシフトクロックを発生するシフトクロック発生装置であって、

所定の遅延時間を有する単位遅延素子を多数直列接続することにより構成され、前記基準クロックを前記各単位遅延素子を介して順次遅延しながら伝送する遅延線と、

一端が前記各単位遅延素子の出力に接続され、他端が前記シフトクロック出力経路に接続された複数のスイッチからなり、該複数のスイッチの一つである特定スイッチが選択的にオンされることにより、前記基準クロックを所定時間だけ遅延させた遅延クロックを前記シフトクロックとして前記シフトクロック出力経路上に送出するスイッチ群と、

前記シフトクロックの前記基準クロックに対する位相差を表すデータに基づき、前記スイッチ群において選択的にオンさせる特定スイッチを決定し、該特定スイッチをオンさせるスイッチ制御手段と、

を備えたことを特徴とするシフトクロック発生装置。

【請求項 2】 前記シフトクロックとして、位相差が互いに異なる複数のシフトクロックを生成するために、該シフトクロックの数に応じて、前記遅延線、前記スイッチ群、前記シフトクロック出力経路、及び、前記スイッチ制御手段を複数備えたことを特徴とする請求項 1 記載のシフトクロック発生装置。

【請求項 3】 前記シフトクロックとして、位相差が互いに異なる複数のシフトクロックを生成するために、該シフトクロックの数に応じて、前記スイッチ群、前記シフトクロック出力経路、及び、前記スイッチ制御手段を複数備え、該複数のスイッチ群を構成する各スイッチを、共通の遅延線に夫々接続したことを特徴とする請求項 1 記載のシフトクロック発生装置。

【請求項 4】 前記複数のスイッチ群は、夫々、生成すべきシフトクロックの基準クロックに対する位相差に対応して、前記共通の遅延線を構成する複数の単位遅延素子の一部に接続されていることを特徴とする請求項 3 記載のシフトクロ

ック発生装置。

【請求項 5】 前記共通の遅延線を構成する複数の単位遅延素子は、生成すべきシフトクロックの数に対応した複数のグループに区分され、

前記複数のスイッチ群は、対応するグループの単位遅延素子に接続されていることを特徴とする請求項 4 記載のシフトクロック発生装置。

【請求項 6】 前記スイッチ群の特定スイッチを介して選択的に入力されるシフトクロックを外部に出力するシフトクロック出力経路に加えて、前記基準クロックをそのまま外部に出力する基準クロック出力経路を備えたことを特徴とする請求項 1 ～請求項 5 何れか記載のシフトクロック発生装置。

【請求項 7】 前記遅延線を構成する単位遅延素子は、所定のゲート遅延時間を有するゲート回路からなることを特徴とする請求項 1 ～請求項 6 何れか記載のシフトクロック発生装置。

【請求項 8】 前記スイッチ制御手段は、前記遅延線を構成する単位遅延素子の遅延時間を時間分解能として前記基準クロックの周期を数値化した周期データと、生成すべきシフトクロックの前記基準クロックに対する遅延時間と前記基準クロックの周期との比率を表す比率データと、に基づき、前記特定スイッチを決定することを特徴とする請求項 1 ～請求項 7 何れか記載のシフトクロック発生装置。

【請求項 9】 前記比率データは、前記基準クロックを遅延させることにより生成すべきシフトクロックの数  $x$  に値 1 を加えた値を分母とし、値 1 から値  $x$  を分子とする  $x$  個のデータからなることを特徴とする請求項 8 記載のシフトクロック発生装置。

【請求項 10】 前記遅延線を構成する単位遅延素子と特性が同じ単位遅延素子をループ状に接続することにより構成され、該ループ内にてパルス信号を周回させるリング遅延線と、

前記基準クロックの一周期内に前記リング遅延線にて前記パルス信号が前記単位遅延素子を通過した回数をカウントし、該カウント結果を前記基準クロックの周期を表す周期データとして出力する時間 A/D 変換手段と、

を備え、前記各スイッチ制御手段は、前記時間 A/D 変換手段から出力される

周期データを用いて、前記特定スイッチを決定することを特徴とする請求項 8 又は請求項 9 記載のシフトクロック発生装置。

【請求項 1 1】 前記遅延線を構成する単位遅延素子の遅延時間を時間分解能として信号の出力周期を制御可能なデジタル制御発振回路を備え、

前記遅延線は、該デジタル制御発振回路からの出力信号を前記基準クロックとして受けて伝送し、

前記スイッチ制御手段は、前記デジタル制御発振回路において出力信号の周期を制御するのに用いられた制御データを、前記基準クロックの周期データとして取り込み、前記特定スイッチを決定することを特徴とする請求項 8 又は請求項 9 記載のシフトクロック発生装置。

【請求項 1 2】 前記遅延線を構成する単位遅延素子の遅延時間を時間分解能として信号の出力周期を制御可能なデジタル制御発振回路と、

該デジタル制御発振回路からの出力信号を  $1/2$  分周することにより、デューティ比 50% の基準クロックを生成する分周回路と、

を備え、前記遅延線には、前記分周回路から前記基準クロックが入力され、

前記スイッチ制御手段は、前記デジタル制御発振回路において出力信号の周期を制御するのに用いられた制御データを取り込み、該制御データが表す出力信号の周期を 2 倍することにより、前記基準クロックの周期データを演算し、該周期データを用いて、前記特定スイッチを決定することを特徴とする請求項 8 又は請求項 9 記載のシフトクロック発生装置。

【請求項 1 3】 前記デジタル制御発振回路は、

前記遅延線を構成する単位遅延素子と特性が同じ単位遅延素子をループ状に接続することにより構成され、該ループ内にてパルス信号を周回させるリング遅延線と、

前記基準クロックの一周期内に前記リング遅延線にて前記パルス信号が前記単位遅延素子を通過した回数をカウントし、該カウント結果を前記基準クロックの周期を表す周期データとして出力する時間 A/D 変換手段と、

該時間 A/D 変換手段から出力された周期データを予め設定された通倍数で除算することにより、当該デジタル制御発振回路にて生成すべき出力信号の周期を

表す制御データを生成する除算手段と、

該除算手段にて生成された制御データと、前記リング遅延線にて前記パルス信号が前記単位遅延素子を通過した通過回数とを比較し、該通過回数が前記制御データと一致する度に、所定パルス幅の出力信号を発生する信号出力手段と、

を備えたことを特徴とする請求項 1 1 又は請求項 1 2 記載のシフトクロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基準クロックに対して所定の位相差を有するシフトクロックを発生するシフトクロック発生装置に関する。

【0002】

【従来の技術】

従来より、制御装置や信号処理装置には、装置を構成する各種機能回路を夫々異なるタイミングで順に動作させることで、所定の機能を実現できるようにしたものが知られている。この種の装置では、各機能回路の動作タイミングを設定するために、基準となるクロック（基準クロック）に対して所定の位相差を有する 1 又は複数のシフトクロックを生成し、その生成したシフトクロック（若しくはシフトクロックと基準クロック）を各機能回路に動作クロックとして供給することで、各機能回路の動作タイミングを制御している。

【0003】

そして、この種の装置において、シフトクロックを生成するのに使用される従来のシフトクロック発生装置は、一般に、アナログ PLL を用いて、生成すべきシフトクロックの位相差を一周期とする高周波信号を生成し、この高周波信号を利用してシフトクロックを生成するようにされている。

【0004】

例えば、図 10（b）に示すように、基準クロック MCK の一周期の  $1/8$  の位相差を有する 8 相シフトクロック CKa～CKh を生成する場合には、図 10（a）に示すように、アナログ PLL 50 にて基準クロック MCK の 8 倍の周波

数の動作クロックを生成し、この動作クロックでシフトレジスタ 5 6 を駆動することにより、シフトレジスタ 5 6 から 8 相シフトクロック C K a ~ C K h を出力するように構成されたシフトクロック発生装置が使用される。

#### 【0 0 0 5】

即ち、図 1 0 ( a ) に例示する従来のシフトクロック発生装置において、アナログ P L L 5 0 は、発振周波数を電圧制御可能な発振器 ( V C O ) 5 1 と、 V C O 5 1 からの出力を  $1/8$  分周する分周器 5 2 と、この分周器 5 2 からの出力 ( V C O 5 1 の発振周波数の  $1/8$  の周波数の信号 ) と、基準クロック M C K とを位相比較し、その位相差に応じた制御信号を発生する位相比較器 5 3 と、位相比較器 5 3 からの制御信号にフィルタ処理 ( 積分処理 ) を施し、 V C O 5 1 の発振周波数制御電圧として出力するループフィルタ 5 4 と、から構成されている。このため、 V C O 5 1 の発振周波数は、基準クロック M C K の周波数の 8 倍に制御される。

#### 【0 0 0 6】

一方、シフトレジスタ 5 6 は、ループ状に接続された 8 個のラッチ回路 5 6 a , 5 6 b , … 5 6 h から構成されている。各ラッチ回路 5 6 a ~ 5 6 h は、夫々、外部から 2 値データをプリセットできるようになっており、アナログ P L L 5 0 の V C O 5 1 から出力される高周波信号 ( 動作クロック ) を受けて、ラッチした 2 値データを順次シフトさせる。また、各ラッチ回路 5 6 a ~ 5 6 h にプリセットされる 2 値データは、「 0 0 0 0 1 1 1 1 」となっており、ラッチ回路 5 6 a ~ 5 6 d には値 0 の 2 値データが、ラッチ回路 5 6 e ~ 5 6 h には値 1 の 2 値データが、夫々、プリセットされる。

#### 【0 0 0 7】

この結果、アナログ P L L 5 0 からシフトクロック生成部 2 0 に動作クロックが入力されると、各ラッチ回路 5 6 a ~ 5 6 h からは、基準クロック M C K と周期が同じで、その周期の  $1/8$  だけ位相がずれた 8 個のシフトクロック C K a ~ C K h が出力されることになる。

#### 【0 0 0 8】

【発明が解決しようとする課題】

ところで、従来のシフトクロック発生装置では、基準クロックに対するシフトクロックの位相差若しくはシフトクロック同士の位相差を制御するために、その位相差に対応した周期の動作クロックをアナログPLLを用いて生成し、その生成した動作クロックを用いてシフトクロックを生成することから、アナログPLLを構成する発振器（VCO）の発振周波数を、基準クロックの何倍もの周波数にしなければならない。

## 【0009】

このため、基準クロックに対するシフトクロックの位相差やシフトクロック同士の位相差を小さくするには、発振器（VCO）の制御可能発振周波数を充分高くし、しかも、アナログPLLを構成する各部の動作速度を高速にしなければならない。シフトクロック発生装置のコストアップを招くといった問題があった。

## 【0010】

また、制御装置等に組み込まれるシフトクロック発生装置には小型化が要求されることから、回路規模の制限等により、アナログPLLを用いて生成可能な信号周波数を周波数を高めるにも限界があるという問題もある。

本発明は、こうした問題に鑑みなされたもので、基準クロックを所定の位相差分シフト（遅延）させたシフトクロックを生成するに当たって、生成すべきシフトクロックの基準クロックに対する位相差に対応した高周波クロックを生成することなく、所望のシフトクロックを生成し得るシフトクロック発生装置を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】

かかる目的を達成するためになされた請求項1に記載のシフトクロック発生装置においては、遅延線に入力された基準クロックが、遅延線を構成する単位遅延素子にて順次遅延されながら、遅延線の終端方向へと伝送される。また、遅延線を構成する各単位遅延素子の出力側には、夫々、スイッチが接続されている。そして、スイッチ制御手段が、シフトクロックの基準クロックに対する位相差を表すデータに基づき、各単位遅延素子の出力に接続されたスイッチからなるスイッチ群の中の特定スイッチをオンさせることにより、特定スイッチを介して、基準



クロックを所定時間遅延させた遅延クロックをシフトクロック出力経路へと出力させる。

【0012】

この遅延クロックは、遅延線の基準クロックの入力側から特定スイッチの接続点までの遅延経路を形成している単位遅延素子を通過した基準クロックであることから、シフトクロック出力経路から外部に出力されるシフトクロックは、その遅延回路を形成している単位遅延素子の個数 $x$ と各単位遅延素子の遅延時間 $\Delta T$ とで決まる遅延時間「 $x \cdot \Delta T$ 」だけ基準クロックを遅延させたものとなる。

【0013】

従って、本発明のシフトクロック発生装置によれば、従来のようにアナログPLLを用いることなく、基準クロックに対して所望の位相差を有するシフトクロックを生成できることになる。よって、本発明によれば、従来装置に比べて構成が簡単で、低コストで実現し得るシフトクロック発生装置を提供できる。

【0014】

また、本発明のシフトクロック発生装置によれば、シフトクロックの基準クロックに対する位相差は、スイッチ制御手段への入力データによって、任意に設定することができ、しかも、その設定可能な位相差の時間分解能は、遅延線を構成する単位遅延素子一個当たりの遅延時間で決まる。

【0015】

このため、遅延線を構成する単位遅延素子に、遅延時間の短い遅延素子を用いるようにすれば、シフトクロックの基準クロックに対する位相差を極めて簡単に小さくすることができ、PLL回路を用いた従来装置では生成不可能であったシフトクロックでも、容易に生成できることになる。

【0016】

ところで、本発明のシフトクロック発生装置は、遅延線を構成する単位遅延素子を介して順次遅延されながら伝送される基準クロックの中から、遅延線内での遅延時間が、生成すべきシフトクロックの基準クロックに対する位相差となる基準クロックを選択的に取り出すことにより、シフトクロックを生成するものであることから、複数のシフトクロックを生成するのにスイッチ群やスイッチ制御手

段を共用することができない。

【0017】

このため、本発明のシフトクロック発生装置を用いて、複数のシフトクロックを生成するには、請求項2に記載のように、遅延線、スイッチ群、シフトクロックの出力経路、及び、スイッチ制御手段を、夫々、生成すべきシフトクロックの数に応じて複数設けるようにするか、或いは、請求項3に記載のように、スイッチ群、シフトクロックの出力経路、及び、スイッチ制御手段については、生成すべきシフトクロックの数に応じて複数設け、遅延クロック取出用の遅延線については、各スイッチ群共通の一つの遅延線にて構成し、各スイッチ群を構成するスイッチを、その共通の遅延線に夫々接続するようにする必要がある。

【0018】

尚、請求項3に記載の装置によれば、請求項2に記載のものに比べて、遅延線の数減らすことができるので、複数のシフトクロックを生成可能なシフトクロック発生装置を、より簡単に構成できる。

また、請求項3に記載のようにシフトクロック発生装置を構成する場合、各スイッチ群を構成するスイッチは、共通の遅延線を構成している全ての単位遅延素子に対して設ける必要はなく、請求項4に記載のように、生成すべきシフトクロックの基準クロックに対する位相差（遅延時間）に対応した一部の単位遅延素子に対して設けるようにしてもよい。

【0019】

そして、特に、シフトクロック発生装置を請求項4に記載のように構成する場合には、請求項5に記載のように、共通の遅延線を構成する単位遅延素子を、生成すべきシフトクロックの数に応じて複数グループに区分し、各スイッチ群を構成する各スイッチを、対応するグループの単位遅延素子に対して設けるようにするとよい。つまり、このようにすれば、遅延線を構成する各単位遅延素子毎に、スイッチを一個設けるだけでよく、装置構成を簡単にし、シフトクロック発生装置の小型化を図ることができる。

【0020】

また、図1.0（b）に示した8相シフトクロックのように、基準クロックの一

周期を等分割した時間を位相差とする複数のシフトクロックを生成するような場合には、その複数のシフトクロックの内の一つには、基準クロックをそのまま用いればよい。シフトクロック発生装置において、各シフトクロックを生成するスイッチ群や制御手段の数は、シフトクロックの相数から値 1 を減じた数にすればよい。

#### 【0021】

そして、この場合、シフトクロック発生装置から、各相のシフトクロックを全て出力させるようにするには、請求項 6 に記載のように、スイッチ群の特定スイッチを介して入力される遅延クロックをシフトクロックとして出力する出力経路に加えて、基準クロックをそのままシフトクロックとして出力する出力経路を設けるようにすればよい。

#### 【0022】

一方、本発明のシフトクロック発生装置において、基準クロックに対するシフトクロックの位相差（遅延時間）をより高い時間分解能で調整できるようにするには、上述したように、遅延線を構成する単位遅延素子の遅延時間をできるだけ短くすればよいが、そのためには、請求項 7 に記載のように、単位遅延素子として、所定のゲート遅延時間を有するゲート回路（詳しくは、インバータ、OR ゲート、AND ゲート等の各種ゲート回路）を用いることが望ましい。つまり、ゲート回路のゲート遅延時間は、ゲート回路を構成する半導体素子の動作特性により決まり、数  $n \text{ sec.}$  以下と極めて短い時間であるので、単位遅延素子をゲート回路にて構成すれば、基準クロックに対するシフトクロックの位相差（遅延時間）をより高精度に設定できることになる。

#### 【0023】

次に、スイッチ制御手段が特定スイッチを決定する際に用いる位相差を表すデータとしては、請求項 8 に記載のように、遅延線を構成する単位遅延素子の遅延時間を時間分解能として基準クロックの周期を数値化した周期データ、及び、生成すべきシフトクロックの基準クロックに対する遅延時間と基準クロックの周期との比率を表す比率データとするとよい。つまり、このようにすれば、スイッチ制御手段は、周期データと比率データとから、基準クロックに対するシフトクロ

ックの位相差（遅延時間）が所望時間となる単位遅延素子の個数（延いては特定スイッチの位置）を、簡単且つ正確に決定することができる。

## 【 0 0 2 4 】

また、特に、基準クロックの一周期を等分割した時間を位相差とする複数のシフトクロックを生成するような場合には、請求項 9 に記載のように、上記比率データを、基準クロックを遅延させることにより生成すべきシフトクロックの数  $x$  に値 1 を加えた値を分母とし、値 1 から値  $x$  を分子とする  $x$  個のデータとして予め設定しておけばよい。

## 【 0 0 2 5 】

即ち、このように比率データを設定すれば、例えば、上述した 8 相シフトクロックを生成する場合、生成すべきシフトクロックの数  $x$  は 7 個となるため、各スイッチ群での特定スイッチは、周期データ  $CD$  を値 8 ( $= x + 1$ ) で除算した値「 $CD / 8$ 」を単位遅延素子の連結段数の最小単位として、基準信号の入力側から、「 $CD / 8$ 」個目、「 $2 \times CD / 8$ 」個目、…「 $7 \times CD / 8$ 」個目、というように決定されることになる。そして、このようにすれば、例えば、基準クロックの周期が変動したとしても、基準クロックと周期が同じで位相が互いに異なる複数相のシフトクロックを精度よく生成できるようになる。

## 【 0 0 2 6 】

一方、請求項 8 又は請求項 9 に記載のシフトクロック発生装置において、スイッチ制御手段が特定スイッチを決定するのに用いる周期データとしては、請求項 10 に記載のように、リング遅延線と時間  $A / D$  変換手段とを用いて生成するようにするとよい。

## 【 0 0 2 7 】

即ち、請求項 10 に記載のシフトクロック発生装置において、リング遅延線は、シフトクロック生成用の遅延線を構成する単位遅延素子と特性が同じ単位遅延素子をループ状に接続することにより構成されており、そのループ内にてパルス信号を周回させる。そして、時間  $A / D$  変換手段は、基準クロックの一周期内にリング遅延線にてパルス信号が単位遅延素子を通過した回数をカウントし、そのカウント結果を、基準クロックの周期を表す周期データとして出力する。

## 【 0 0 2 8 】

従って、時間 A/D 変換手段にて生成される周期データは、シフトクロック生成用の遅延線を構成している単位遅延素子の遅延時間を時間分解能として基準クロックの周期を数値化したものとなり、しかも、温度変化等によって遅延線での遅延特性が変化した場合でも、その遅延特性に対応した周期データを正確に生成することが可能となる。

## 【 0 0 2 9 】

つまり、基準クロックの周期は、設計時に設定されることから、周期データとしては、その設計時に設定された既知の周期を、遅延線を構成する単位遅延素子の遅延時間で除算することにより、簡単に設定できる。しかし、このように周期データを設定すると、遅延線を構成する単位遅延素子の遅延時間は素子温度等によって変化することから、シフトクロック発生装置が温度変化が生じる環境下（例えば、自動車等）で使用されるような場合には、周期データ 1 ビット当たりの時間が単位遅延素子の遅延時間に対応しなくなり、この周期データを用いて特定スイッチを決定しても、基準クロックに対するシフトクロックの位相差を所望時間に設定することができないことがある。

## 【 0 0 3 0 】

しかし、請求項 10 に記載のように、シフトクロック生成用の遅延線と同じ特性の単位遅延素子をループ状に接続したリング遅延線を用いて、基準クロックの周期を数値化するようにすれば、得られる周期データは、遅延線を構成する単位遅延素子の遅延特性に対応して変化することになるため、スイッチ制御手段において、その生成された周期データを用いて遅延線からのシフトクロックの取り出し位置（換言すれば特定スイッチ）を決定すれば、基準クロックに対するシフトクロックの位相差は常に正確に所望時間に制御されることになるのである。

## 【 0 0 3 1 】

ところで、請求項 10 に記載のシフトクロック発生装置は、外部から入力される基準クロックの周期をリング遅延線と時間 A/D 変換手段とを用いて数値化するようにしているが、シフトクロック発生装置において、基準クロック自体を生成するようにしてもよい。そして、この場合には、請求項 11 に記載のように、

遅延線を構成する単位遅延素子の遅延時間を時間分解能として出力信号の周期を制御可能なデジタル制御発振装置を用いて、基準クロックを生成するようになるとよい。

【0032】

つまり、このようにすれば、デジタル制御発振回路において出力信号の周期（換言すれば発振周波数）を制御するのに用いられる制御データが、基準クロックの周期を単位遅延素子の遅延時間を時間分解能として数値化したデータとなるため、この制御データをそのまま周期データとしてスイッチ制御手段に入力すれば、スイッチ制御手段にて特定スイッチを決定することができるようになる。

【0033】

ところで、デジタル制御発振装置は、出力信号（換言すれば基準クロック）の周期を単位遅延素子の遅延時間を時間分解能として制御するものであるため、基準クロックの周期自体は所望周期に制御されるものの、そのデューティ比は50%にならないことがあり、生成した基準クロックやシフトクロックの用途が制限されることがある。

【0034】

つまり、クロックのデューティ比が50%であれば、その立上がりタイミングと立下がりタイミングとの両方を利用して各種タイミング制御を実行できるが、クロックのデューティ比が定まらない場合には、クロックの立上がりタイミングと立下がりタイミングとの何れか一方でしかタイミング制御を行うことができないことから、生成したクロックを利用できる範囲が制限されてしまうのである。

【0035】

このため、上記のようにデジタル制御発振回路を用いて基準クロックを生成する場合、基準クロック及びシフトクロックとして、デューティ比50%のクロックが必要なときには、シフトクロック発生装置を、請求項12に記載のように構成するとよい。

【0036】

即ち、請求項12に記載のシフトクロック発生装置には、デジタル制御発振回路からの出力信号を1/2分周することにより、デューティ比50%の基準クロ

ックを生成する分周回路が設けられ、この分周回路にて生成されたデューティ比 50%の基準クロックを、遅延線に入力するようにされている。このため、この装置によれば、生成した基準クロック及びシフトクロックのデューティ比を確実に 50%にすることができ、その用途を拡大できる。

## 【0037】

尚、シフトクロック発生装置をこのように構成した場合、遅延線に入力される基準クロックの周期は、デジタル制御発振回路からの出力信号の周期の 2 倍になるため、スイッチ制御手段としては、デジタル制御発振回路において出力信号の周期を制御するのに用いられた制御データを取り込み、その制御データが表す出力信号の周期を 2 倍することにより、基準クロックの周期データを演算し、その周期データを用いて、特定スイッチを決定するように構成する必要がある。

## 【0038】

次に、デジタル制御発振回路としては、例えば、上述したリング遅延線と、リング遅延線内でパルス信号が単位遅延素子を通過した回数をカウントし、そのカウント値が、生成すべき出力信号の周期に対応した設定値（制御データ）に達する度に、所定パルス幅の出力信号（クロック）を発生する信号出力手段と、を用いて構成することができる。

## 【0039】

つまり、このようにすれば、リング遅延線を構成する単位遅延素子の遅延時間を分解能として出力信号の周期を制御でき、しかも、その周期は、信号出力手段が信号の出力タイミングを決定するのに用いる設定値に対応するため、リング遅延線を構成する単位遅延素子に、シフトクロック生成用の遅延線を構成する単位遅延素子と同じ特性のものを用いるようにすれば、基準クロックに対して所望の位相差を有するシフトクロックを精度よく生成することができるようになる。

## 【0040】

ところが、デジタル制御発振回路をこのように構成した場合、デジタル制御発振回路からの出力信号の周期は、リング遅延線を構成する単位遅延素子の遅延時間だけで決まり、その遅延時間が、装置の使用環境の変化（例えば温度変化等）によって変化すると、基準クロックやシフトクロックの周期が変化してしまうこ

とになる。

【 0 0 4 1 】

そこで、これら各クロックの周期変化を防止するには、請求項 1 3 に記載のように、デジタル制御発振回路を所謂デジタル PLL として構成し、これに、温度変化等のない安定したクロックを入力することにより、所望周期の出力信号を生成するようにするとよい。

【 0 0 4 2 】

即ち、請求項 1 3 記載のシフトクロック発生装置において、デジタル制御発振回路は、請求項 1 0 に記載のシフトクロック発生装置と同様のリング遅延線及び時間 A/D 変換手段を備え、これらを用いて、外部から一定周期で入力される低周波クロックの周期を単位遅延素子の遅延時間を時間分解能として数値化するようにされている。

【 0 0 4 3 】

そして、除算手段により、その数値化された低周波クロックの周期データを予め設定された通倍数で除算することで、デジタル制御発振回路にて生成すべき出力信号の周期を表す制御データを生成し、信号出力手段にて、その生成された制御データと、リング遅延線内でパルス信号が単位遅延素子を通過した通過回数とを比較し、その通過回数が制御データと一致する度に、所定パルス幅の出力信号を発生する。

【 0 0 4 4 】

従って、デジタル制御発振回路をこのように構成した場合には、デジタル制御発振回路からの出力信号は、外部から入力される低周波クロックを所定の通倍値で通倍したクロックとなり、この低周波クロックを温度特性等のない安定した発振器を用いて生成するようにすれば、周期変動の少ない安定した基準クロック及びシフトクロックを生成することができるようになる。

【 0 0 4 5 】

また、このように、デジタル制御発振回路（デジタル PLL）を用いて低周波クロックを通倍したクロックを生成するようにした場合、シフトクロック発生装置の動作クロックを生成する発振器には、低周波クロックを発生する低周波発振



器を用いることができるので、その発振器自体を比較的安価に実現でき、しかも、シフトクロック発生装置に高周波クロックを入力する必要がないので、その入力経路から漏れ出す高周波信号成分がノイズとなって他の装置に影響を与えるのを防止することもできる。

【0046】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づき説明する。

図1は、本発明が適用された実施例のスペクトル拡散方式の距離測定装置全体の構成を表す構成図である。

【0047】

図1に示す如く、本実施例の距離測定装置は、例えば、自動車に搭載されて、前方を走行する他の車両までの距離を測定するためのものであり、所定周波数（例えば20MHz）の基準クロックMCKを発生する基準クロック発生部10と、基準クロックMCKに同期して、所定ビット長のPN符号（例えば、M系列符号からなる31ビット長の疑似ランダム符号）に応じたパルス列を発生するパルス発生部12と、パルス発生部12が発生したパルス列（以下、発光パルスという）に応じて測距用の電磁波であるレーザ光を車両前方に向けて出射する発光部14とを備える。

【0048】

尚、発光部14は、発光素子としてレーザダイオードLDを備え、このレーザダイオードLDへの通電・非通電が、パルス発生部12からの出力（発光パルス）を受ける駆動回路15によって切り換えられることにより、PN符号に応じたレーザ光を出射する。

【0049】

また、パルス発生部12には、基準クロックMCKに同期して、マイクロコンピュータ（以下、単にCPUという）2からPN符号が入力され、パルス発生部12は、そのPN符号に従いPN符号に対応した発光パルスを発生する。

一方、本実施例の距離測定装置には、発光部14から出射されたレーザ光が車両前方の測定対象物に当たって反射してくる反射光を受光する受光部16と、受

光部16からの受光信号を増幅する増幅器17と、増幅器17により増幅された受光信号と予め設定された基準電圧 $V_{ref}$ とを比較し、受光信号が基準電圧 $V_{ref}$ よりも大きいときにHighレベルとなり、受光信号が基準電圧 $V_{ref}$ 以下であるときにLowレベルとなる受光パルスPBrを出力するコンパレータ18とが備えられている。

## 【0050】

尚、受光部16は、電流検出用の抵抗等を介して電源ラインに逆バイアス状態で接続されたフォトダイオードPDを備え、フォトダイオードPDにレーザ光（測定対象物からの反射光）が入射することにより流れた光電流を電圧値として検出する。

## 【0051】

次に、本実施例の距離測定装置には、基準クロック発生部10が発生する基準クロックMCKに基づき、基準クロックMCKに同期し、且つ、互いに位相が異なる8種類のクロックCKa, CKb, ...CKh（所謂8相シフトクロック）を生成するシフトクロック生成部20が備えられている。

## 【0052】

このシフトクロック生成部20は、パルス発生部12と共に本発明のシフトクロック発生装置を構成するものであり、図10（a）に示した従来のシフトクロック発生装置と同様、各クロックCKa~CKhの位相差が、夫々、基準クロックMCKの周期の $1/8$ となるように、各クロックCKa~CKhを生成する。

## 【0053】

即ち、シフトクロック生成部20において、クロックCKaは基準クロックMCKと位相が一致し、クロックCKbは基準クロックMCKに対して位相が45度遅れ、クロックCKcは基準クロックMCKに対して位相が90度遅れ、クロックCKdは基準クロックMCKに対して位相が135度遅れ、クロックCKeは基準クロックMCKに対して位相が180度遅れ、クロックCKfは基準クロックMCKに対して位相が225度遅れ、クロックCKgは基準クロックMCKに対して位相が270度遅れ、クロックCKhは基準クロックMCKに対して位相が315度遅れるように生成される。

## 【0054】

ここで、本実施例において、シフトクロック生成部20を用いて8相シフトクロックを生成するのは、以下の理由による。

つまり、まず、SS方式の距離測定装置では、通常、発光パルスを生成するのに用いた基準クロックMCKを用いて受光パルスPBrを順次サンプリングし、そのサンプリングにより得られた所定ビット長(PN符号と同じビット長)のデータと、発光パルスを生成するのに用いたPN符号との相関値を演算し、その相関値が最大となる時刻を、反射光の受光時刻として検出することにより、発光部14からのレーザ光の送信開始時刻から反射光の受光時刻までの時間を測定するようにされている。

## 【0055】

このため、従来装置では、レーザ光の送受信に要した測定対象時間を、基準クロックMCKの一周期を時間分解能として測定することになり、図2に示すように、真の測定対象時間に対する測定誤差が大きくなってしまう(図2の従来測定結果参照)。

## 【0056】

尚、図2は、基準クロックMCK(=CKa)のクロック周波数が20MHzの場合を表しており、基準クロックMCKを用いて得られる従来測定結果は、50nsec.、100nsec.、150nsec.、…となり、その時間分解能は、50nsec.となる。

## 【0057】

そこで、本実施例では、上記のようにシフトクロック生成部20を用いて8相シフトクロックCKa~CKhを生成することで、図2に示すように、測定対象時間を、上記各クロックCKa~CKhの位相差で決まる、従来の1/8の時間分解能(6.25nsec.)で測定できるようにするのである(図2の実施例測定結果参照)。

## 【0058】

そして、こうした高分解能の時間測定(延いては距離測定)を実現するために、シフトクロック生成部20で生成された8種類のクロックCKa~CKhは、

夫々、受光パルス  $PBr$  をラッチするラッチ部 22 に入力される。

ラッチ部 22 は、8 個の D-フリップフロップ（以下、 $DFF$  と記載する）22a, 22b, … 22h からなり、上記各クロック  $CKa \sim CKh$  は、これら 8 個の  $DFF$  22a  $\sim$  22h の動作クロックとして、各  $DFF$  22a  $\sim$  22h に夫々入力される。

#### 【0059】

この結果、ラッチ部 22 において、各  $DFF$  22a  $\sim$  22h は、夫々、各クロック  $CKa \sim CKh$  の立上がりタイミングで受光パルス  $PBr$  をラッチすることになり、図 3 に示すように、ラッチ部 22 からは、受光パルス  $PBr$  の信号レベルを表す 8 種類の 2 値データ  $D1a, D1b, \dots D1h$  が夫々出力されることになる。

#### 【0060】

次に、ラッチ部 22 から出力される 8 種類の 2 値データ  $D1a \sim D1h$  は、同期部 24 に入力される。同期部 24 は、ラッチ部 22 から出力される 8 種類の 2 値データ  $D1a \sim D1h$  を、夫々、8 個の  $DFF$  24a, 24b, … 24h を用いて、基準クロック  $MCK$  ( $=$  クロック  $CKa$ ) の立上がりタイミングで同時にラッチすることにより、図 3 に示すように、基準クロック  $MCK$  に同期して変化する 2 値データ  $D2a, D2b, \dots D2h$  に変換するためのものである。

#### 【0061】

そして、この同期部 24 にて同期が取られた 8 種類の 2 値データ  $D2a \sim D2h$  は、夫々、8 個のバッファ 26a, 26b, … 26h を介して、8 個の相関器 30a, 30b, … 30h に入力される。

これら各相関器 30a  $\sim$  30h は、対応するバッファ 26a  $\sim$  26h から入力される 2 値データ  $D2a \sim D2h$  を、基準クロック  $MCK$  に同期して順次取り込み、その取り込んだ 2 値データ  $D2a \sim D2h$  の内、パルス発生部 12 が発光パルスを発生するのに使用する PN 符号のビット長に対応したデータ列分と、パルス発生部 12 が発光パルスを発生するのに実際に使用した PN 符号との相関値を演算するものである。

#### 【0062】

そして、これら各相関器 3 0 a ~ 3 0 h による演算結果は、夫々、8 個の 2 相加算部 4 0 a, 4 0 b, … 4 0 h に入力される。

2 相加算部 4 0 a ~ 4 0 h は、夫々、対応する相関器 3 0 a ~ 3 0 h による演算結果と、対応する D F F 2 2 a ~ 2 2 h の動作クロック C K a ~ C K h とは位相が最も異なる（換言すれば位相が 1 8 0 度異なる、すなわちクロック半周分遅れた）クロック C K e ~ C K h 及び C K a ~ C K d により動作する D F F 2 2 e ~ 2 2 h 及び 2 2 a ~ 2 2 d に対応した相関器 3 0 e ~ 3 0 h 及び 3 0 a ~ 3 0 d の演算結果と、を互いに加算することにより、対応する相関器 3 0 a ~ 3 0 h による演算結果の平均化を図り、各相関器 3 0 a ~ 3 0 h による演算結果がノイズの影響を受けて大きく変動するのを防止するためのものである。

#### 【 0 0 6 3 】

尚、本実施例において、2 相加算部 4 0 a ~ 4 0 h を用いて各相関器 3 0 a ~ 3 0 h の演算結果を平均化するのは、以下の理由による。

即ち、本実施例の距離測定装置では、上記の通り、受光パルス P B r を 8 相シフトクロック C K a ~ C K h を用いて夫々ラッチすることにより、各相関器 3 0 a ~ 3 0 h に入力される 2 値データのラッチタイミング（D F F 2 2 a ~ 2 2 h のラッチタイミング）を、基準クロック M C K の周期の 1 / 8 の時間分だけ順次シフトさせ、これによって、受光パルス P B r のパルス列と P N 符号との相関値が最大となる時刻を、基準クロック M C K の周期の 1 / 8 の時間を時間分解能として検出できるようにする。

#### 【 0 0 6 4 】

そして、図 2 に示すように、受光パルス P B r が発光パルスに完全に対応していれば、ラッチ部 2 2 から出力される 2 値データ D 1 a ~ D 1 h は、反射光の受光開始タイミング以降に最初に立ち上がる特定クロック（図 2 では、クロック C K e）により動作する D F F からの出力（図 2 の場合 D F F 2 2 e から出力される 2 値データ D 1 e となる）を起点として、同一の値に順次変化することになり、各相関器 3 0 a ~ 3 0 h での演算結果も、その特定クロックに対応した相関器（図 2 の場合、相関器 3 0 e）を起点として、全て同一の値に変化することになる。

## 【0065】

しかし、実際には、受光部16にて光電変換される受光信号は、ノイズの影響を受けて変動することから、受光パルスPBrも、そのノイズの影響を受けて変動し、発光パルスに対応した綺麗な波形にならない。従って、ラッチ部22の各DFF22a～22hでラッチされる2値データD1a～D1hが、図2に示すように基準クロックMCKに同期して順に変化することは少なく、各相関器30a～30hによる演算結果も、ノイズの影響を受けてばらつくことになる。

## 【0066】

従って、各相関器30a～30hの演算結果をそのまま用いて、受光パルスPBrのパルス列とPN符号との相関が最大となる時刻を検出するようにすると、検出時刻に誤差が生じ、時間測定精度（換言すれば距離測定精度）が低下することが考えられる。

## 【0067】

ところで、受光信号に重畳されるノイズの幅は、通常、極めて短く、基準クロックMCKの一周期に渡って同一ノイズが重畳されることはない。そして、例えば、DFF22aの動作タイミング（換言すればクロックCKaの立上がりタイミング）とノイズのピークとが重なった場合、DFF22aは勿論のこと、その前後の動作タイミングで受光パルスPBrをラッチするDFF22h、DFF22bも、ノイズの影響を受けた誤った2値データをラッチすることが考えられ、ノイズの影響を最も受けないのは、クロックCKaとの位相差が最も大きい（換言すれば位相差180度の）クロックCKeにて動作するDFF22eとなる。

## 【0068】

そこで、本実施例では、8相シフトクロックCKa～CKhの内、位相差が互いに180度異なる2つのクロック（CKaとCKe、CKbとCKf、CKcとCKg、CKdとCKh）をペアとし、2相加算部40a～40hにて、これらペアとなるクロックに対応した相関器による演算結果（相関器30aと30eの演算結果、相関器30bと30fの演算結果、相関器30cと30gの演算結果、相関器30dと30hの演算結果）の和をとることにより、各相関器30a～30hの演算結果を平均化するようにしているのである。

## 【 0 0 6 9 】

以下、相関器 3 0 a ~ 3 0 h 及び 2 相加算部 4 0 a ~ 4 0 h の具体的例について図 4 を用いて説明する。

尚、図 4 は、基準クロック MCK と同じクロック C K a にて動作する D F F 2 2 a からの出力に基づき相関演算及び平均化を行う相関器 3 0 a 及び 2 相加算部 4 0 a の構成を表している。

## 【 0 0 7 0 】

図 4 に示すように、相関器 3 0 a には、PN 符号のビット長に対応した  $n$  個（例えば 3 1 個）のラッチ回路 3 2 a 1, 3 2 a 2, … 3 2 a  $n$  からなるシフトレジスタ 3 2 が備えられている。そして、各ラッチ回路 3 2 a 1 ~ 3 2 a  $n$  には、CPU 2 により、距離測定開始前に、PN 符号の各ビットの 2 値データが予めプリセットされ、各ラッチ回路 3 2 a 1 ~ 3 2 a  $n$  は、距離測定開始後に入力される基準クロック MCK に同期して、プリセットされた 2 値データを次段のラッチ回路へと順次シフトさせる。

## 【 0 0 7 1 】

尚、各ラッチ回路 3 2 a 1 ~ 3 2 a  $n$  は、閉ループを形成しており、最終段のラッチ回路 3 2 a  $n$  から出力される 2 値データ（初期値は最初に発光パルスが発生するのに用いられる 2 値データとなる）は、初段のラッチ回路 3 2 a 1 へと出力される。

## 【 0 0 7 2 】

また、相関器 3 0 a には、ラッチ回路 3 2 a 1 ~ 3 2 a  $n$  と同じ個数（ $n$  個）の排他的論理和回路（以下、EXOR という）3 4 a 1, 3 4 a 2, … 3 4 a  $n$  が備えられており、各 EXOR 2 4 a 1 ~ 3 4 a  $n$  の一方の入力端子には、シフトレジスタ 3 2 を構成する各ラッチ回路 3 2 a 1 ~ 3 2 a  $n$  への入力データが入力される。

## 【 0 0 7 3 】

具体的には、EXOR 3 4 a 1 には初段のラッチ回路 3 2 a 1 への入力（換言すれば最終段のラッチ回路 3 2 a  $n$  からの出力）が入力され、EXOR 3 4 a 2 には二段目のラッチ回路 3 2 a 2 への入力（換言すれば初段のラッチ回路 3 2 a

1からの出力)が入力される、というように、各EXOR24a1~34anに、各ラッチ回路32a1~32anへの入力データが入力される。

## 【0074】

一方、EXOR34a1~34anの他方の入力端子には、同期部24を構成するDFF24aを介して、DFF22aにてクロックCKaの立上がりタイミングでラッチされた2値データが入力される。

この結果、EXOR34a1~34anからの出力は、DFF22a及び24aを介して入力される受光パルスPBrの信号レベルを表す2値データと、シフトレジスタ32を構成する各ラッチ回路32a1~32anへの入力データとが一致しているときにLowレベルとなり、一致していなければHighレベルとなる。

## 【0075】

そして、このように変化する各EXOR34a1~34anからの出力は、夫々、n個(31個)のアップダウンカウンタ(U/Dカウンタ)36a1, 36a2, ... 36anに入力される。各アップダウンカウンタ36a1~36anは、基準クロックMCKを受けて動作し、そのカウント値は、EXOR34a1~34anの出力が連続的にLowレベルとなることにより増加する。

## 【0076】

従って、測定対象物からの反射光が受光部16にて受光され、その受光信号を2値化した受光パルスPBrがDFF22a, 24aを介して相関器30aに入力されると、31個のアップダウンカウンタ36a1~36anの内の一つがカウントアップされ続けることになり、このカウンタの位置から、反射光の受光時刻を特定できる。

## 【0077】

しかし、上述したように、受光信号にはノイズが重畳されることから、反射光の受光開始後、その受光時刻に対応したアップダウンカウンタだけがカウントアップされるとは限らず、他のアップダウンカウンタがカウントアップされることもあるし、受光時刻に対応したアップダウンカウンタがカウントダウンされることもある。

## 【0078】



そこで、2相加算部40aでは、相関器30aから出力されるn個（31個）のカウント値のノイズによる誤差を相殺するために、ペアとなる相関器30eから出力されるn個のカウント値を取り込み、n個の加算器42a1, 42a2, …42anを用いて、相関器30aから出力される各カウント値に、相関器30eから取り込んだ各カウント値を夫々加算する。

## 【0079】

そして、2相加算部40aは、各加算器42a1～42anからの出力を、基準クロックMCKの立上がりタイミングで動作するn個の出力回路44a1, 44a2, …44anでラッチし、後段の検出処理部46へと出力する。

尚、図4は相関器30a及び2相加算部40aの構成を表しているが、他の相関器30b～30h及び2相加算部40b～40hも、相関器30a及び2相加算部40aと全く同様に構成されている。

## 【0080】

そして、2相加算部40aにおいて、各加算器42a1～42anは、相関器30aから出力される各カウント値に対して、クロックCKaとクロックCKeとの位相差（180度、換言すれば基準クロックMCKの周期の1/2の時間）分だけ遅れたタイミングでのカウント値を加算する。

## 【0081】

つまり、2相加算部40aにおいては、相関器30aの1番目のアップダウンカウンタ36a1から出力されるカウント値に対しては、相関器30eの1番目のアップダウンカウンタ36e1（図示せず）から出力されるカウント値が加算され、相関器30aのn番目のアップダウンカウンタ36anから出力されるカウント値に対しては、相関器30eのn番目のアップダウンカウンタ36en（図示せず）から出力されるカウント値が加算される。

## 【0082】

また、2相加算部40aのペアとなる2相加算部40e側では、相関器30aから出力されるn個のカウント値を取り込み、相関器30eから出力されるn個のカウント値に夫々加算するが、この加算時には、相関器30aから出力される各カウント値に対して、クロックCKeとクロックCKaとの位相差分だけ遅れ

たタイミングでのカウント値を加算する。

【0083】

つまり、2相加算部40eにおいては、相関器30eの1番目のアップダウンカウンタ36e1（図示せず）から出力されるカウント値に対しては、相関器30aの2番目のアップダウンカウンタ36e2から出力されるカウント値が加算され、相関器30eのn番目のアップダウンカウンタ36an（図示せず）から出力されるカウント値に対しては、相関器30aの1番目のアップダウンカウンタ36a1から出力されるカウント値が加算される。

【0084】

また、上記以外の2相加算部40b～40d及び40f～40hの内、基準クロックMCKの立上がりタイミングを基準とする一周期の前半部分で立ち上がるクロックCKb～CKdに対応した2相加算部40b～40dは、上記2相加算部40aと同様に動作し、基準クロックMCKの一周期の後半部分で立ち上がるクロックCKf～CKhに対応した2相加算部40b～40dは、上記2相加算部40eと同様に動作する。

【0085】

従って、本実施例において、ペアとなる相関器の演算結果を平均化する2つの2相加算部（40aと40e、40bと40f、40cと40g、40dと40h）からの出力が一致することはない。

次に、上記各2相加算部40a～40hからの出力（ $8 \times n$ 個のカウント値）を受ける検出処理部46では、各2相加算部40a～40hから出力されたn個のカウント値の中から、所定のしきい値を最初に越えたカウント値を夫々検出し、そのカウント値に対応したアップダウンカウンタの位置（換言すれば測定対象物からの反射光の受光時刻）を表すデータを、次段の近場優先処理部47に出力する。

【0086】

つまり、各2相加算部40a～40hから出力されるn個のカウント値は、夫々、各クロックCKa～CKhの立上がりタイミング毎にサンプリングした受光パルスPB<sub>r</sub>とPN符号との相関を表す相関値であることから、検出処理部46

では、何れかのカウント値がしきい値を越えたときに相関値が最大となったと判断して、そのカウント値を出力したアップダウンカウンタの位置（換言すれば受光時刻）を表すデータを出力するのである。

## 【0087】

次に、検出処理部46からの出力を受ける近場優先処理部47は、検出処理部46から同時に複数のデータが出力された際に、それらの中から受光時刻が最も早くなるデータ（換言すれば、基準クロックMCKとの位相差が最も小さいクロックに対応した相関器に対応するデータ）を選択し、測距結果出力部48に出力する。

## 【0088】

つまり、本実施例では、同期部24を設けることにより、相関器30a～30h及び2相加算部40a～40hを基準クロックMCKに同期した同タイミングで動作させることから、各2相加算部40a～40hから夫々出力されるカウント値が同時にしきい値を越え、検出処理部46から同時に複数のデータが出力されることがある。

## 【0089】

そして、検出処理部46から出力されるデータは、各相関器30a～30hに設けられたアップダウンカウンタの内、カウント値がしきい値を越えたアップダウンカウンタの位置（換言すれば反射光の受光時刻）を特定するためのものであることから、検出処理部46から複数のデータが出力されると、反射光の受光時刻を特定することができなくなってしまう。

## 【0090】

そこで、本実施例では、近場優先処理部47において、これら複数のデータの内、反射光の受光時刻が最も早くなるデータを選択して、測距結果出力部48に出力するようにしているのである。

尚、近場優先処理部47は、検出処理部46から一つのデータが出力された際には、これをそのまま測距結果出力部48に出力する。

## 【0091】

そして、測距結果出力部48においては、近場優先処理部47からの入力デー

タを、発光部 1 4 からのレーザ光の送信開始時刻から反射光の受光時刻までの時間を表す測距データに変換して、CPU 2 に出力する。

ここで、近場優先処理部 4 7 からの入力データは、相関器 3 0 a ~ 3 0 h に設けられた全てのアップダウンカウンタの内、カウント値が最も早くしきい値を越えたアップダウンカウンタの位置（換言すれば反射光の受光時刻）を表し、ラッチ部 2 2 から同期部 2 4 を介して各相関器 3 0 a ~ 3 0 h に入力される 2 値データのラッチタイミングは、8 相シフトクロックにより基準クロック MCK の周期の  $1/8$  の時間分だけずれていることから、測距結果出力部 4 8 から CPU 2 に出力される測距データの時間分解能は、基準クロック MCK の周期の  $1/8$  の時間となる。

#### 【0092】

従って、CPU 2 側では、測距結果出力部 4 8 から測距データを取り込むことにより、測定対象物までの距離を基準クロック MCK の周期で決まる分解能よりも高い分解能で測定することができるようになり、その測定結果に基づき、車両の駆動系や制動系を制御することにより自車両を前方車両に追従させる追従制御や、車両前方に存在する障害物を検出して警報を発生する障害物検出制御を良好に実行することが可能となる。

#### 【0093】

尚、CPU 2 は、実際に距離測定を行う際には、発光部 1 4 からのレーザ光を水平（若しくは水平及び垂直）方向に光走査し、車両前方の所定角度範囲内に存在する測定対象物（先行車両若しくは障害物）までの距離を測定する。また、CPU 2 は、レーザ光を光走査しているときに、各測距ポイント毎に複数回距離測定を行い、測定結果を平均化することで、距離測定精度を向上する。

#### 【0094】

以上説明したように、本実施例の距離測定装置においては、ラッチ部 2 2 を構成する 8 個の DFF 2 2 a ~ 2 2 h に対して、シフトクロック生成部 2 0 で生成した 8 相シフトクロック CK a ~ CK h を夫々入力することにより、受光パルス PBr を、夫々、基準クロック MCK の周期の  $1/8$  の時間間隔で順次ラッチし、そのラッチした受光パルス PBr のパルス列と、PN 符号との相関値を、各 D

FF22a～22hに対応した8個の相関器30a～30hで求め、これら各相関器30a～30hで求められた相関値が最初にしきい値を越えた時刻を、測定対象物からの反射光を受光した時刻として、車両ー測定対象物間でレーザ光が往復するのに要した時間を測定するようにされている。

【0095】

このため、本実施例によれば、この測距用の時間を、基準クロックMCKの周波数を高くすることなく、基準クロックMCKの周期の1/8の時間分解能で測定ことになり、延いては、測定対象物までの距離測定を高精度に実行できる。

また、このように、本実施例によれば、測定可能な時間分解能を高くするために、基準クロックMCKの周波数を高くする必要がなく、時間計測用の各回路は、基準クロックMCKと同じ周期で動作させればよいので、計測用回路を構成する回路素子を高速動作可能なものにする必要がない。よって、本実施例によれば、相関器等、時間計測用の回路の数は多くなるものの、各回路を安価に実現できることから、装置全体のコストアップを招くことなく、測定可能な時間分解能を高くすることができる。

【0096】

また、特に、本実施例では、ラッチ部22のDFF22a～22hでラッチされた2値データを相関器30a～30hにそのまま入力するのではなく、これら各2値データを、同期部24を構成するDFF24a～24hを用いて、基準クロックMCKに同期して再度ラッチし、そのラッチした2値データを、対応する相関器30a～30hに入力することで、相関器30a～30h及び相関器30a～30hよりも後段の処理回路（2相加算部40a～40h、検出処理部46、近場優先処理部47、測距結果出力部48）を、全て、共通の基準クロックMCKで動作させることができるようにしている。

【0097】

このため、8相シフトクロックCKa～CKhは、ラッチ部22を構成するDFF22a～22hに入力するだけでよく、これら各クロックCKa～CKhを他の処理回路に伝送する必要がない。よって、本実施例によれば、時間計測用の回路をプリント基板に組み付けるための配線パターン設計を容易に行うことがで

き、しかも、配線パターンを簡単にすることができるので、プリント基板に基板面積の大きなものをする必要がなく、装置の大型化を防止できる。

#### 【0098】

また更に、本実施例では、各相関器30a～30hによる演算結果をそのまま用いて反射光の受光時刻を特定するのではなく、2相加算部40a～40hを用いて各相関器30a～30hの演算結果を2相加算し、2相加算後の各演算結果を用いて反射光の受光時刻を特定するようにしていることから、時間測定の際の耐ノイズ性を向上でき、受光信号のS/N（信号対雑音比）が悪い条件化でも、時間測定（延いては距離測定）を良好に実行できる。

#### 【0099】

一方、CPU2は、各測距ポイントでの距離測定を行う際に、PN符号に対応したレーザ光を発光部14から出射させて、反射光が受光される迄の時間を測定する測距動作を、複数回行い、その測距動作により得られた複数の測距データの平均値（平均時間）から、測定対象物までの距離を演算する。また、CPU2は、複数の測距データの平均値を算出する際には、複数の測距データの中心から大きくずれた測距データを不良データとして削除する。このため、本実施例によれば、このCPU2の動作によっても、耐ノイズ性を向上して、距離測定精度を高くすることができる。

#### 【0100】

次に、本実施例において、8相シフトクロックCKa～CKhを生成するのに用いられるシフトクロック生成部20、及び、基準クロックMCKを生成するのに用いられる基準クロック発生部10の構成を図6を用いて説明する。尚、これら各部10、20は、本発明のシフトクロック発生装置の一実施例である。

#### 【0101】

図6に示すように、まず、シフトクロック生成部20は、基準クロック発生部10が発生した基準クロックMCKを遅延線に入力することで、遅延線を構成する単位遅延素子としての多数（k個）の遅延ユニット80(1)～80(k)を用いて順に遅延させるようになっている。

#### 【0102】

また、これら各遅延ユニット80(1)～80(k)の出力側には、夫々、基準クロックMCKと位相がずれたクロックCKb～CKhを取り出すための7個のスイッチSWb(1)～SWb(k), SWc(1)～SWc(k), …SWh(1)～SWh(k)が接続されている。そして、これら各クロック取出用のスイッチ群SWb, SWc, …SWhには、夫々、スイッチ制御手段としてのデコーダ90b～90hが設けられている。

## 【0103】

デコーダ90b～90hは、各スイッチ群SWb～SWhを構成するk個のスイッチの中から、クロックCKb～CKhを取り出すスイッチSWb(?)～SWh(?)の位置を設定し、その設定したスイッチSWb(?)～SWh(?)をオンする駆動信号をデータ線Lb～Lhを介して各スイッチ群SWb～SWhに出力することにより、各スイッチSWb(?)～SWh(?)を選択的にオンさせ、これらのスイッチSWb(?)～SWh(?)を介して、基準クロックMCKの周期の $x/8$  ( $x:1, 2, \dots, 7$ )の時間だけ基準クロックMCKを遅延させた7種類のシフトクロックCKb～CKhが取り出されるようにするためのものである。

## 【0104】

つまり、各デコーダ90b～90hには、単位遅延素子である各遅延ユニット80(1)～80(k)の遅延時間（詳しくは平均遅延時間）を時間分解能として、基準クロックMCKの一周期を数値化した周期データCDが入力され、各デコーダ90b～90hは、その周期データCDと、基準クロックMCKに対する各クロックCKb～CKhの遅延割合 $x/8$  ( $x:1, 2, \dots, 7$ )を表す比率データSDb, SDc, …SDhとを用いて、各クロックCKb～CKhの取り出しに用いるスイッチSWb(?)～SWh(?)の位置を演算し、そのスイッチSWb(?)～SWh(?)をオンさせる。

## 【0105】

例えば、基準クロックMCKの周期が遅延ユニット80の遅延時間の80倍であるとする、各デコーダ90b～90hには、値80を表す周期データCDが入力され、各デコーダ90b～90hは、予め設定された比率データSDb～SDhを用いて、基準クロックMCKの遅延量（詳しくは遅延ユニット80の接続

段数)を、「80/8」,「80×2/8」, …「80×7/8」というように演算し、その演算結果10, 20, …70に対応したスイッチSWb(10), SWc(20), …SWh(70)をオンする。

#### 【0106】

この結果、各スイッチ群SWb～SWhからは、基準クロックMCKを夫々基準クロックMCKの周期の1/8の時間で順次遅延させた7種類のクロックCKb～CKhが選択的に出力されることになる。

尚、遅延ユニット80としては、インバータ2段で構成してもよく、或いは他のゲート回路(ANDゲート, NANDゲート)等を用いて構成してもよい。また、上記数値「80」は説明を簡単にするために例示したものであり、実際の値とは異なる。例えば、遅延ユニット80の遅延時間が1nsec.であり、基準クロックMCKの周波数が20MHzであるとすれば、基準クロックMCKの一周期は50nsec.となるので、周期データCDは、値50を表すデータとなる。

#### 【0107】

また、シフトクロック生成部20において、各スイッチ群SWb～SWhから選択的に取り出された7種類のクロックCKb～CKhを外部(本実施例ではラッチ回路22)に出力する出力経路(シフトクロック出力経路)には、各クロックCKb～CKhの駆動能力を向上するためのバッファ92b～92hが設けられている。

#### 【0108】

また、シフトクロック生成部20には、基準クロック発生部10から入力された基準クロックMCKをそのままクロックCKaとしてラッチ回路22に出力するための出力経路(基準クロック出力経路)も設けられており、この経路にも、クロックCKaの駆動能力を向上するためのバッファ92aが設けられている。

#### 【0109】

従って、シフトクロック生成部20からは、基準クロックMCK及び7種類のクロックCKb～CKhが、各クロックの出力経路に設けられたバッファ92a～92hにより駆動能力が向上された後、8相シフトクロックCKa～CKhとして、外部(すなわちラッチ回路22)に出力されることになる。



## 【0110】

このように、本実施例のシフトクロック生成部20は、多数の遅延ユニット80からなる遅延線により基準クロックMCKを順次遅延させつつ伝送し、その経路上から、7個のスイッチ群SWb～SWhを介して、基準クロックMCKとの位相差が所望の位相差となる7個の遅延クロックCKb～CKhを取り出し、これら各遅延クロックCKb～CKhと基準クロックMCK (=CKa) とからなる8相シフトクロックCKa～CKhを出力するようにされている。

## 【0111】

そして、このシフトクロック生成部20によれば、各デコーダ90b～90hに入力する周期データCDを生成する必要があるものの、図10に示した従来のシフトクロック発生装置のように、シフトクロックを生成するために、アナログPLL50を用いて基準クロックMCKを逡倍した高周波信号（動作クロック）を生成する必要があるないので、回路構成を簡単にすることができ、しかも、VCO51を動作させることにより、不要な高周波ノイズが発生することもないので、時間（距離）測定の信頼性を向上することもできる。

## 【0112】

次に、基準クロック発生部10は、外部から入力される基準クロックMCKよりも低周波数のクロック（低周波クロック）PREFをデジタル処理にて逡倍することにより基準クロックMCKを生成するものであり、シフトクロック生成部20の遅延線を構成する遅延ユニット（単位遅延素子）80と同じ遅延ユニットをリング状に連結したリング遅延線（RGD）60を備える。

## 【0113】

RGD60は、外部から入力された起動パルスをリング状に連結された遅延ユニットを介して周回させるものであり、各遅延ユニットからの出力は、次段の遅延ユニットだけでなく、時間A/D変換器（TAD）62及びデジタル制御発振器（DCO）にも出力される。

## 【0114】

TAD62は、RGD60内でのパルスの周回回数をカウントするカウンタと、低周波クロックPREFの立上がりエッジ（又は立下がりエッジ）でRGD6

0 内でのパルスの周回位置を検出するエンコーダとを備え、カウンタによるカウント値を上位ビットデータ、エンコーダにより得られた周回位置を下位ビットデータとする所定ビットのデジタルデータを出力する。

#### 【0 1 1 5】

つまり、TAD62は、RGD60を用いて、RGD60を構成する遅延ユニットの遅延時間を時間分解能とする低周波クロックPREFの立上がり時刻（又は立下がり時刻）を順次計時し、その時刻を表すデジタルデータ（時刻データ）を出力するのである。

#### 【0 1 1 6】

そして、このようにTAD62から順次出力される時刻データは、データ処理部66に輸入され、データ処理部66では、その入力された時刻データの差から、低周波クロックPREFの周期を表す周期データが生成される。尚、この周期データの時間分解能は、RGD60を構成する遅延ユニット（延いては、シフトクロック生成部20内の遅延線を構成する遅延ユニット）の遅延時間となる。

#### 【0 1 1 7】

また、基準クロック発生部10には、低周波クロックPREFから基準クロックMCKを生成するのに必要な通倍値データが予め記憶されたレジスタ68と、データ処理部66で求められた低周波クロックPREFの周期を表す周期データをレジスタ68に記憶された通倍値データにて除算することにより、生成すべき基準クロックMCKの周期を算出する除算器70とが備えられており、この除算器70による除算結果（詳しくは除算結果の内の正数部）は、データラッチ回路72に出力される。

#### 【0 1 1 8】

そして、データラッチ回路72は、除算器70にて求められた基準クロックMCKの周期を制御データ（＝周期データCD）としてラッチし、これをDCO64に出力する。

DCO64は、TAD62と同様にRGD60内でのパルスの周回回数及び周回位置を監視することにより、データラッチ回路72から出力された制御データ（＝周期データCD）に対応した時間を、RGD60を構成する遅延ユニットの

遅延時間を時間分解能として計時（カウント）し、時間計時 1 回当たりに 1 回の割でパルス信号を発生することにより、基準クロック MCK を生成する。

#### 【0 1 1 9】

尚、除算器 7 0 による除算結果の内、通倍値データで割り切れなかった小数点以下の値（小数部）は、周波数微調回路 7 4 に出力され、周波数微調回路 7 4 は、この小数部に対応した割合でデータラッチ回路 7 2 がラッチした制御データに値 1 を加えることで、基準クロック MCK の低周波クロック P R E F に対する微小な位相誤差が蓄積されて、大きな位相誤差になるのを防止する。

#### 【0 1 2 0】

このように、基準クロック発生部 1 0 は、R G D 6 0、T A D 6 2、D C O 6 4 等を用いて、所謂デジタル P L L として構成されており、データラッチ回路 7 2 から D C O 6 4 に出力される制御データは、周期データ C D として、シフトクロック生成部 2 0 に入力される。

#### 【0 1 2 1】

従って、シフトクロック生成部 2 0 のデコーダ 9 0 b ~ 9 0 h には、基準クロック MCK の周期を、遅延線を構成する遅延ユニット 8 0 (l) ~ 8 0 (k) の遅延時間を時間分解能として数値化した周期データ C D が入力されることになり、シフトクロック生成部 2 0 では、基準クロック MCK に対応したシフトクロック C K b ~ C K h が高精度に生成されることになる。

#### 【0 1 2 2】

また、シフトクロック生成部 2 0 の遅延線を構成する遅延ユニットの遅延時間は、周囲環境の変化に伴う素子温度の変化によって変動するが、基準クロック発生部 1 0 にて基準クロック MCK を生成するのに用いられるリング遅延線 6 0 も、シフトクロック生成部 2 0 の遅延線と同じ遅延ユニットを用いて構成されているため、基準クロック MCK に対するシフトクロック C K b ~ C K h の位相が周囲温度等の環境変化によって変動することはない、シフトクロック生成部 2 0 からは、常時安定した 8 相シフトクロック C K a ~ C K h が出力されることになる。

#### 【0 1 2 3】

尚、基準クロック発生部 1 0 の詳細構成（デジタル P L L の構成）については、特開平 7 - 1 8 3 8 0 0 号公報等の開示されており、従来より周知であるため、ここではこれ以上の詳細説明は省略する。また、本実施例の基準クロック発生部 1 0 は、請求項 1 1、1 3 に記載のデジタル制御発振回路に相当するものであり、T A D 6 2 は、請求項 1 3 に記載の時間 A / D 変換手段として機能し、除算器 7 0 は、請求項 1 3 に記載の除算手段として機能し、D C O 6 4 は、請求項 1 3 に記載の信号出力手段として機能する。

## 【 0 1 2 4 】

以上、本発明が適用されたシフトクロック発生装置（シフトクロック生成部 2 0 及び基準クロック発生部 1 0 ）、及び、このシフトクロック発生装置を用いて距離測定を行う距離測定装置について説明したが、本発明のシフトクロック発生装置は、図 5 に示したものに限定されるものではなく、種々の態様を採ることができる。

## 【 0 1 2 5 】

例えば、上記実施例では、基準クロック発生部 1 0 をデジタル P L L にて構成し、シフトクロック生成部 2 0 には、このデジタル P L L にて基準クロック M C K の周期を制御するのに用いられた制御データを、そのまま周期データ C D として入力するものとして説明したが、基準クロック発生部 1 0 が発振器等で構成されている場合には、請求項 1 0 に記載の発明を適用することにより、その発振器から出力される基準クロック M C K の周期を、時間 A / D 変換手段としての時間 A / D 変換器（T A D）を用いて数値化し、その数値化した周期データ C D をシフトクロック生成部 2 0 に入力するようにすればよい。

## 【 0 1 2 6 】

但し、このように基準クロック M C K の周期を時間 A / D 変換器を用いて数値化する場合、周期データ C D の時間分解能は、遅延線を構成する遅延ユニット 8 0 ( 1 ) ~ 8 0 ( k ) の遅延時間に対応させる必要があるため、時間 A / D 変換器（T A D）としては、上述した基準クロック発生部 1 0 内の T A D 6 2 と同様、遅延線を構成する遅延ユニット 8 0 ( 1 ) ~ 8 0 ( k ) と同じ遅延ユニットを用いて構成されたリング遅延線（R G D）6 0 でのパルス信号の周回回数及び周回位置に

基づき（換言すればパルス信号が通過した遅延ユニットの数に基づき）、基準クロックMCKの周期を数値化するように構成する必要がある。

## 【0127】

また、上記実施例では、シフトクロック生成部20において、基準クロックMCKを遅延させたシフトクロックCKb～CKhを取り出すためのスイッチ群SWb～SWhは、遅延ユニット80(1)～80(k)からなる一つの（換言すれば共通）の遅延線に対して設けられるものとして説明したが、例えば、図6に示すように、遅延ユニット80(1)～80(k)からなる遅延線を、生成すべきシフトクロックCKb～CKhに対応した数だけ設け、各遅延線毎にスイッチ群SWb～SWhを設けるようにしてもよい。

## 【0128】

また、上記実施例では、各スイッチ群SWb～SWhは、遅延線を構成する遅延ユニット80(1)～80(k)に対応した数のスイッチから構成され、そのうちのひとつを選択的にオンすることにより、遅延線を構成する何れかの遅延ユニット80(1)～80(k)からの出力（遅延クロック）を、シフトクロックとして、シフトクロックの出力経路側に取り出すものとして説明したが、本実施例のように、基準クロックMCKの周期を等分した時間を位相差とするシフトクロックを生成する際には、各スイッチ群SWb～SWhを、遅延線を構成する全ての遅延ユニット80(1)～80(k)からの出力を選択的に取り出せるようにする必要はない。

## 【0129】

このため、上記各スイッチ群SWb～SWhは、図7に示すように、遅延線を構成するk個の遅延ユニット80(1)～80(k)を、生成すべきシフトクロックの数（この場合7個）に応じて、基準クロックMCKの入力側から7グループに分け、各グループの遅延ユニット80(1)～80(m)に対して、各スイッチ群SWb～SWhを設けるようにしてもよく、或いは、図8に示すように、各スイッチ群SWb～SWhにおいて、遅延ユニット80(1)～80(k)に接続するスイッチを上記実施例のものから間引くようにしてもよい。

## 【0130】

つまり、このようにすれば、図 5 に示したシフトクロック生成部 2 0 に比べて、各スイッチ群 S W b ~ S W h を構成するスイッチの数を減らすことができ、回路構成を簡単にすることができる。また特に、図 7 に示したシフトクロック生成部 2 0 のように、遅延線を構成する遅延ユニット 8 0 (1) ~ 8 0 (k) をグループ分けして、各グループの遅延ユニット 8 0 (1) ~ 8 0 (m) に対して各スイッチ群 S W b ~ S W h を設けるようにした場合には、各遅延ユニット 8 0 (1) ~ 8 0 (k) にはスイッチが 1 個接続されるだけであるので、単にスイッチの数を減らすことができるだけでなく、シフトクロック生成部が組み付けられる基板に形成する配線パターンを少なくして、装置全体の小型化を図ることができる。

#### 【 0 1 3 1 】

尚、図 8 に示したように、各スイッチ群 S W b ~ S W h において、遅延ユニット 8 0 (1) ~ 8 0 (k) に接続するスイッチを間引く場合には、基準クロック M C K に対して最も位相差が小さいシフトクロック C K b を生成するためのスイッチ群 S W b については、遅延線における終端側の遅延ユニットに接続されるスイッチを間引き、基準クロック M C K に対して最も位相差が大きいシフトクロック C K h を生成するためのスイッチ群 S W h については、遅延線におけるクロック入力側の遅延ユニットに接続されるスイッチを間引き、他のスイッチ群 S W c ~ S W g については、遅延線の信号入力側と終端側の遅延ユニットに接続されるスイッチを間引く、というように、生成すべきシフトクロックと基準クロックとの位相差に応じて、遅延ユニット 8 0 (1) ~ 8 0 (k) に接続するスイッチを間引くようにすればよい。

#### 【 0 1 3 2 】

一方、上記実施例では、8 相シフトクロックを生成するシフトクロック発生装置について説明したが、本発明のシフトクロック発生装置は、基準クロックを遅延線に流し、遅延線にて所望の遅延時間だけ遅延された遅延クロックを、スイッチ群を介して、取り出すものであることから、例えば、シフトクロック生成部を、図 5 に示した遅延線とスイッチ群 S W b とデコーダ 9 0 b とを用いて構成すれば、基準クロックに対して所望の位相差を有するシフトクロックを生成する位相シフト回路として利用することができる。

## 【 0 1 3 3 】

また、上記実施例では、基準クロック発生部 1 0 をデジタル P L L にて構成することにより、外部から入力される低周波クロック P R E F を逡倍した基準クロックを生成するものとして説明したが、デジタル P L L では、出力信号（基準クロック M C K ）の周期については、正確に制御できるものの、そのデューティ比は、D C O が基準クロック M C K として出力するパルス信号のパルス幅と、基準クロック M C K の周期とで決まることから、基準クロック M C K を、デューティ比 5 0 % の綺麗な波形にすることは困難であり、デューティ比 5 0 % のクロックが必要な場合には、デジタル P L L にて生成した基準クロックを更に信号処理する必要がある。

## 【 0 1 3 4 】

そこで、次に、上記実施例の基準クロック発生部 1 0 と同様に構成されたデジタル P L L にて所望周波数の高周波クロックを生成し、この高周波クロックを本発明を適用した位相シフト回路を用いて、デューティ比 5 0 % の高周波クロックに変換するクロック生成装置について、図 9 を用いて説明する。

## 【 0 1 3 5 】

尚、図 9 において、（a）は、このクロック生成装置の構成を表すブロック図であり、（b）は、このクロック生成装置各部の信号波形を表すタイムチャートである。

図 9 （a）に示すように、この装置では、上述の基準クロック発生部 1 0 と同様に構成されたデジタル P L L 9 4 にて、低周波クロック P R E F を逡倍することにより、所定周波数（例えば 8 0 M）の基準クロック P o u t を生成する。図 9 （b）に示すように、この基準クロック P o u t のパルス幅は、デジタル P L L 9 4 を構成する D C O 6 4 の信号出力特性で決まることから、基準クロック P o u t のデューティ比（d u t y）は 5 0 % よりも小さくなる。

## 【 0 1 3 6 】

そこで、この装置では、デジタル P L L 9 4 にて生成された基準クロック P o u t を、分周回路 9 6 に入力することにより、分周回路 9 6 にて基準クロック P o u t を 1 / 2 分周させる。この結果、分周回路 9 6 からは、図 9 （b）に示すよう

に、デジタルPLL94からの基準クロックPoutの立上がりタイミングで信号レベルが反転する、周波数40MHz、duty50%のクロックCK0が出力されることになる。尚、この分周回路96は、請求項12に記載の分周回路に相当するものである。

#### 【0137】

次に、この分周回路96からの出力クロックCK0は、入力クロックを1/4周期分だけ位相シフト（遅延）させる位相シフト回路98に入力される。この位相シフト回路98は、本発明を適用することにより、上述のシフトクロック生成部20における遅延線（遅延ユニット80(1)～80(k)）と、スイッチ群SWcと、デコーダ90cと、バッファ92cとから構成されている。

#### 【0138】

そして、この位相シフト回路98には、デジタルPLL94にて基準クロックPoutを生成するのに用いられた制御データの内、最下位ビットを除く制御データが、クロックCK0の周期を表す周期データCDとして入力され、デコーダ90cは、この周期データCDと、予め設定された比率データ（値1/4）とから、クロックCK0を1/4周期分だけ位相シフトさせるのに必要な遅延ユニットの数（延いては、スイッチ群90cにおいてオンすべき特定スイッチの位置）を決定し、このスイッチを選択的にオンさせる。この結果、位相シフト回路98からは、クロックCK0を1/4周期分だけ位相シフトさせたシフトクロックCK1が出力されることになる。

#### 【0139】

また、このシフトクロックCK1は、分周回路96からの出力クロックCK0と共に、排他的論理和回路（EXOR）99に入力される。EXOR99は、2つの入力信号が同一レベルであるとき、Lowレベルの信号を出力し、2つの入力信号が異なる信号レベルであるとき（一方がLowレベルで他方がHighレベルであるとき）に、Highレベルの信号を出力するものである。このため、EXOR99からは、デジタルPLL94から出力される基準クロックPoutと位相同期し（換言すれば、周波数が80MHzで）、且つ、デューティ比（duty）が50%となるクロック信号が出力されることになる。



【 0 1 4 0 】

このように、本発明のシフトクロック発生装置によれば、デューティ比 5 0 % のクロック信号を生成するクロック生成回路（換言すればデューティ変換回路）としても使用することができる。

そして、この場合、位相シフト回路 9 8 を構成するデコーダがオンすべき特定スイッチを決定するのに用いる比率データを変更すれば、E X O R 9 9 から出力されるクロックのデューティ比が変化することから、本発明を、こうしたクロック生成回路に適用すれば、デューティ比を任意に設定可能なクロック発生装置をも極めて簡単に構成することができる。

【図面の簡単な説明】

【図 1】 実施例の距離測定装置全体の構成を表す構成図である。

【図 2】 実施例の距離測定装置における時間測定動作を表す説明図である。

【図 3】 実施例のラッチ部及び同期部の動作を表すタイムチャートである。

【図 4】 実施例の相関器及び 2 相加算部の構成を表す構成図である。

【図 5】 実施例の基準クロック発生部及びシフトクロック生成部の構成を表す構成図である。

【図 6】 シフトクロック生成部の第 1 の変形例を表す構成図である。

【図 7】 シフトクロック生成部の第 2 の変形例を表す構成図である。

【図 8】 シフトクロック生成部の第 3 の変形例を表す構成図である。

【図 9】 デューティ比 5 0 % のクロックを発生する装置に本発明を適用した場合の説明図である。

【図 1 0】 アナログ P L L を用いて構成された従来のシフトクロック発生装置を表す構成図である。

【符号の説明】

1 0 …基準クロック発生部、 2 0 …シフトクロック生成部、 6 0 …リング遅延線（R G D）、 6 2 …時間 A / D 変換器（T A D）、 6 4 …デジタル制御発振器（D C O）、 6 6 …データ処理部、 6 8 …レジスタ、 7 0 …除算器、 7 2 …データラッチ回路、 7 4 …周波数微調回路、 8 0 ( 1 ) ～ 8 0 ( k ) …遅延ユニット（単位遅延素子）、 S W b ～ S W h …スイッチ群、 9 0 b ～ 9 0 h …デコーダ、 9 2

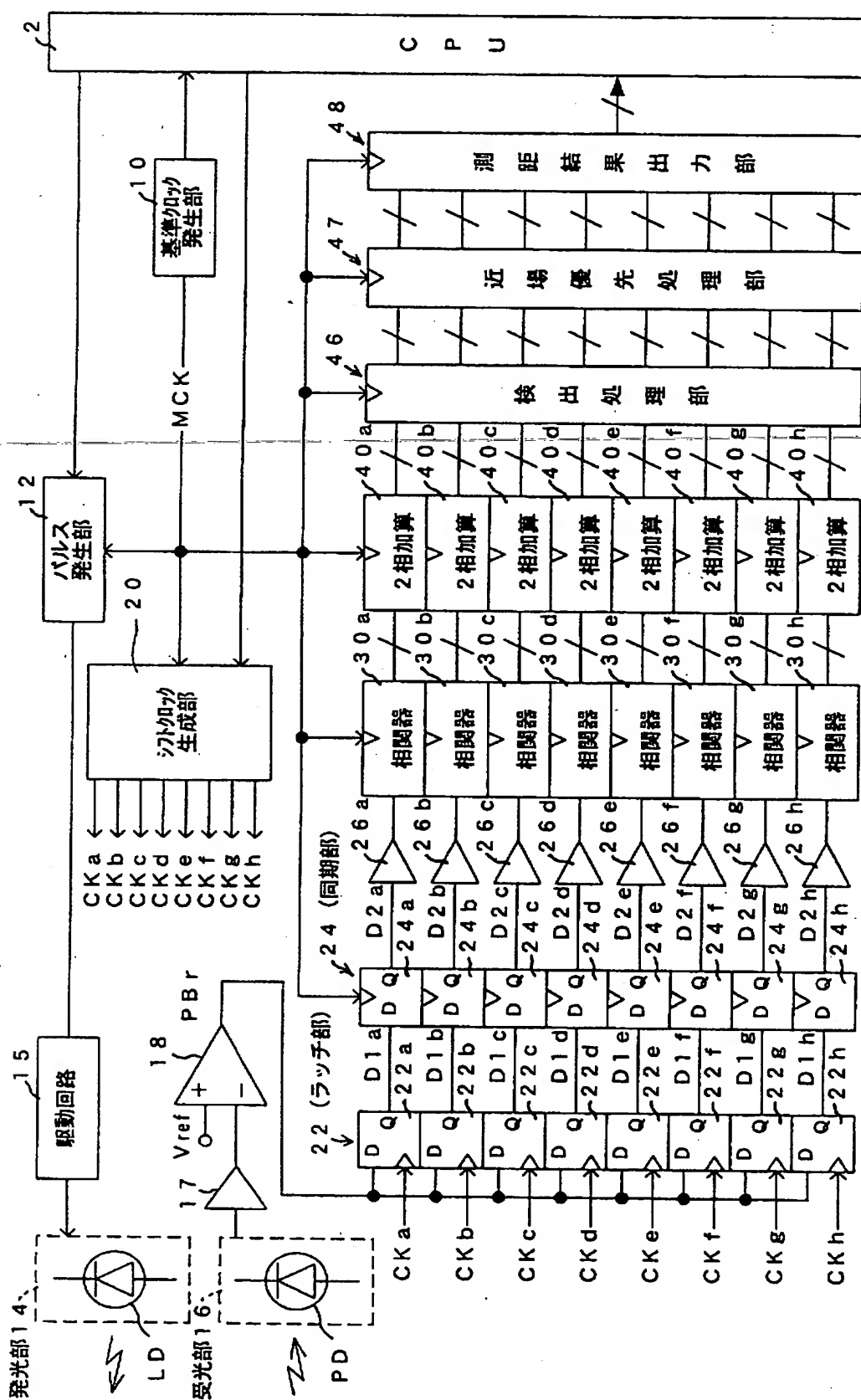
特2001-072141

b~92h…バッファ。

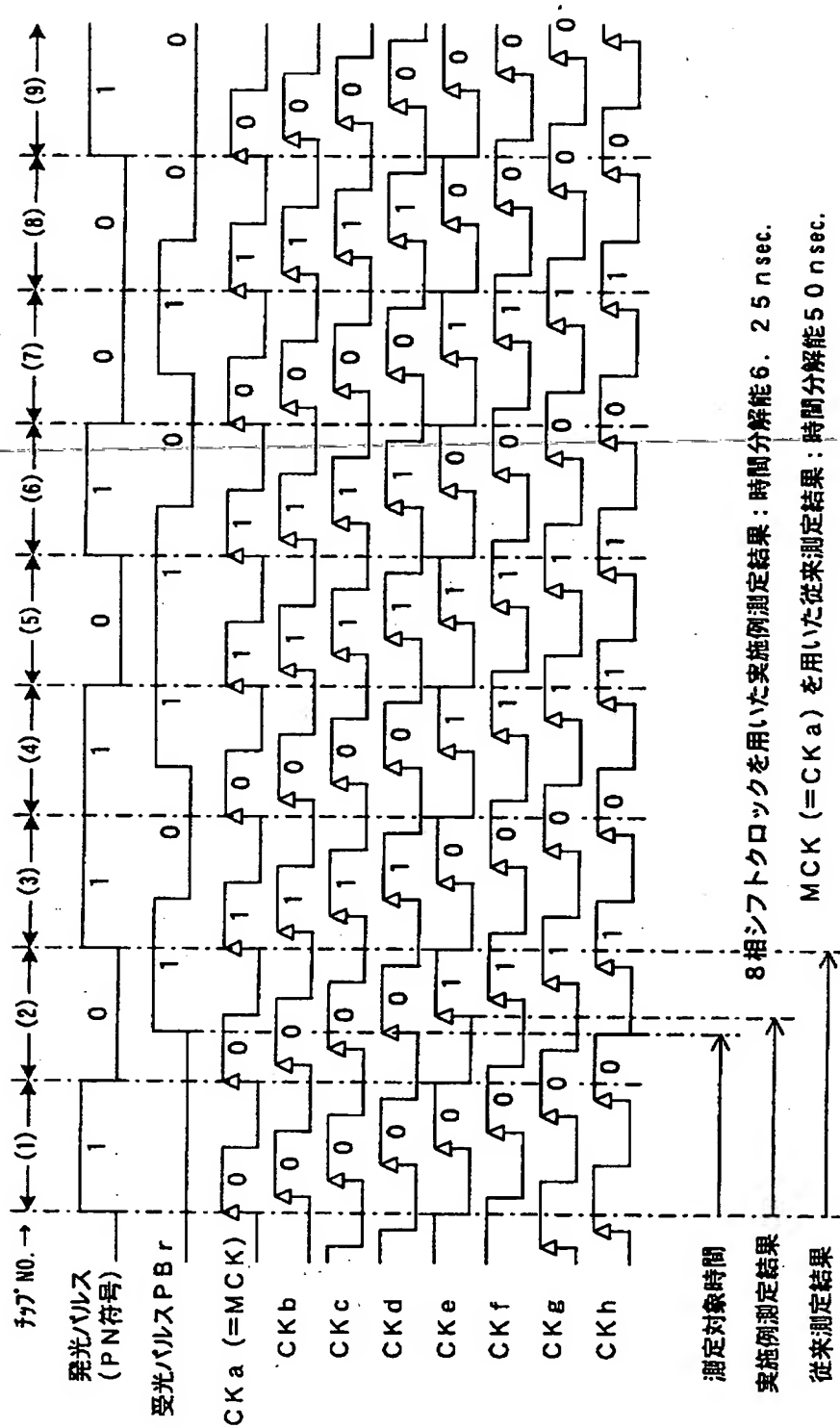
【書類名】

図面

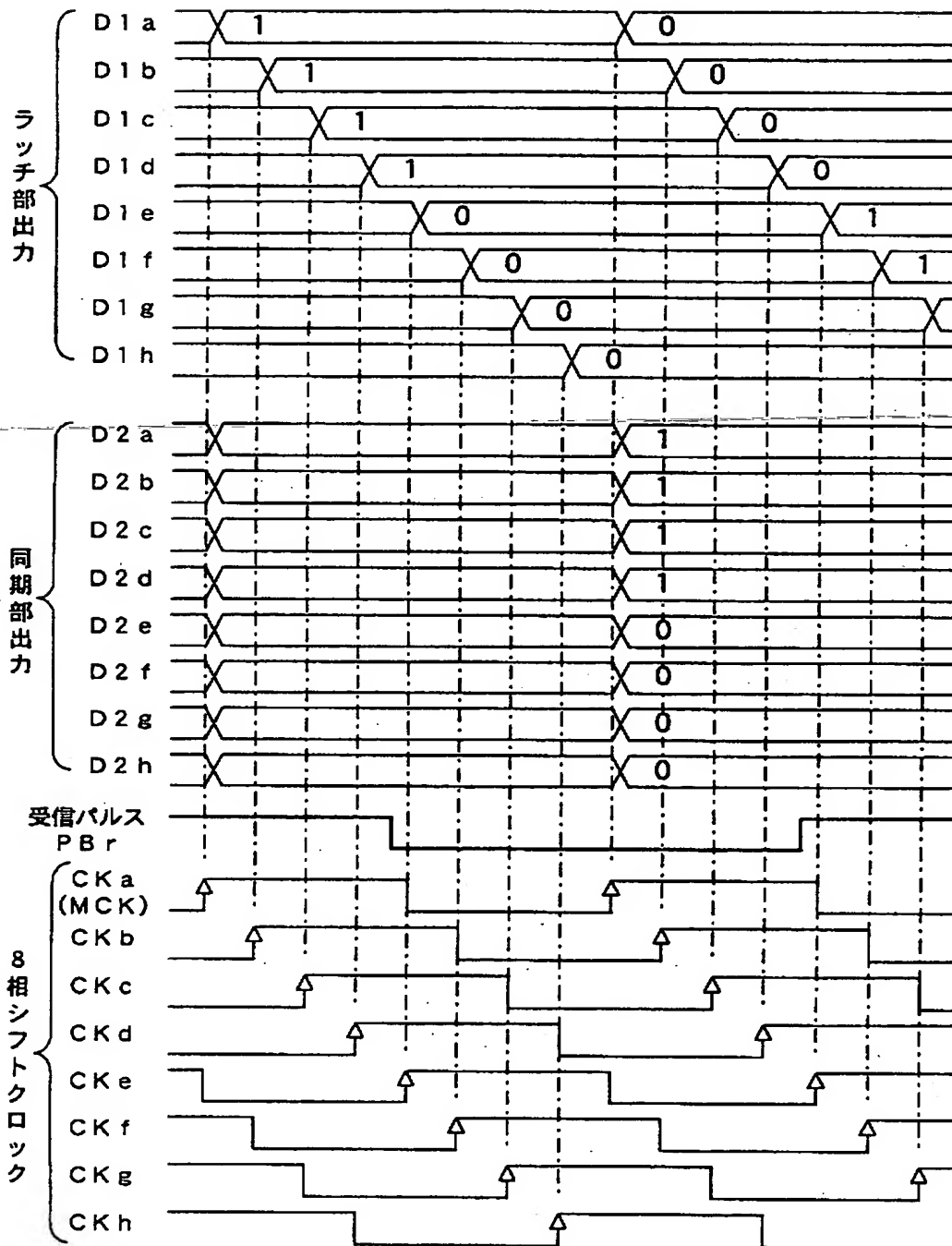
【図 1】



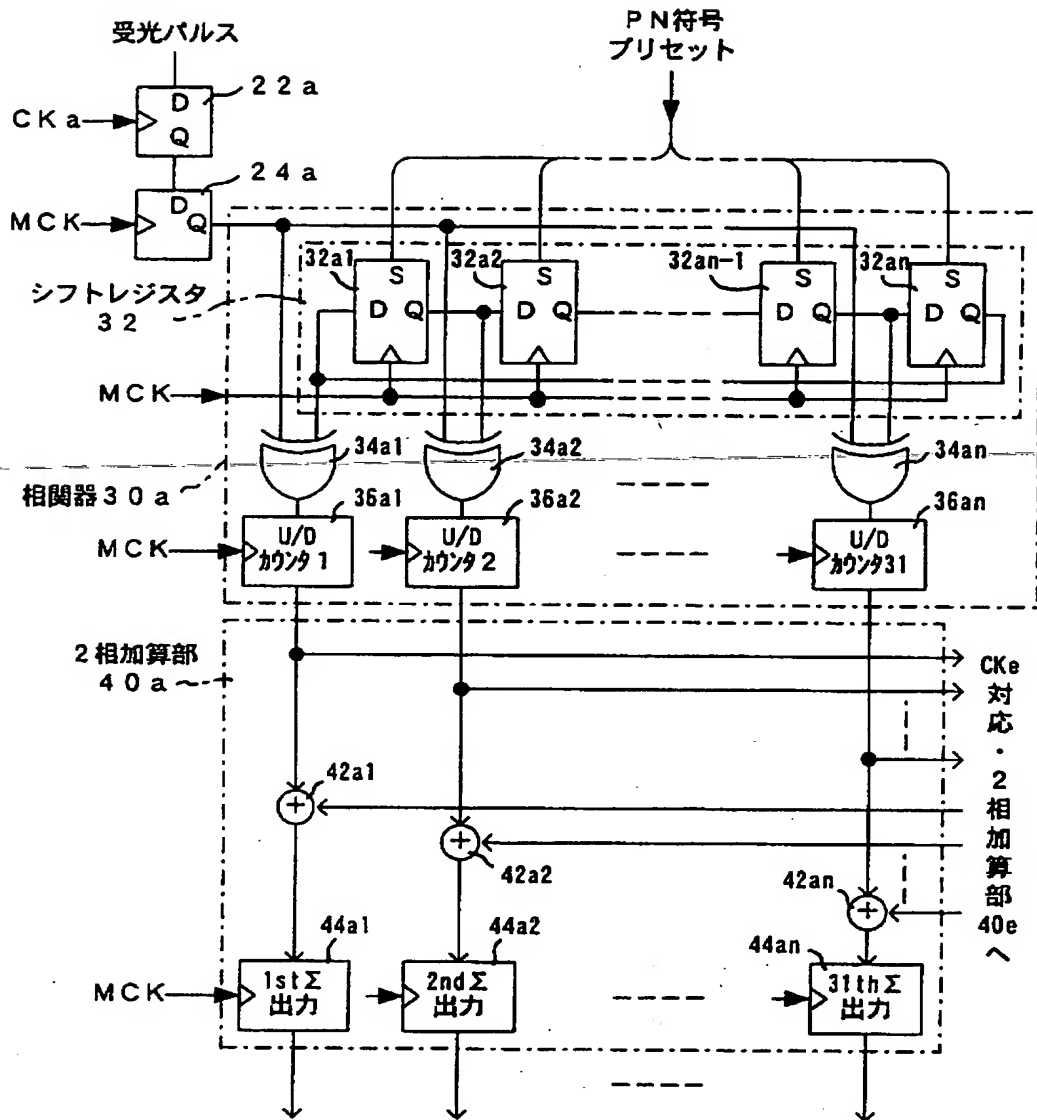
【図 2】



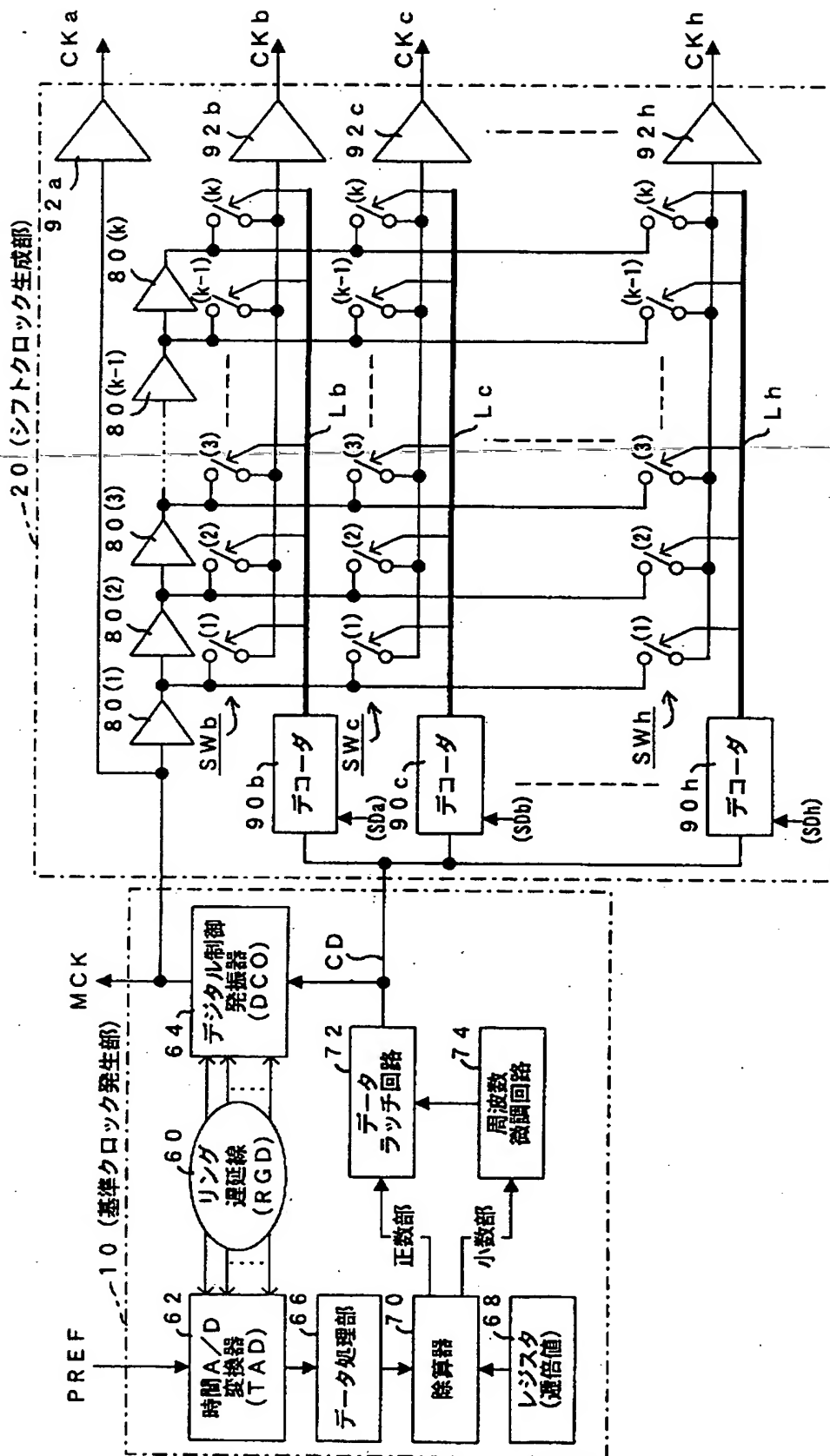
【図 3】



【図 4】

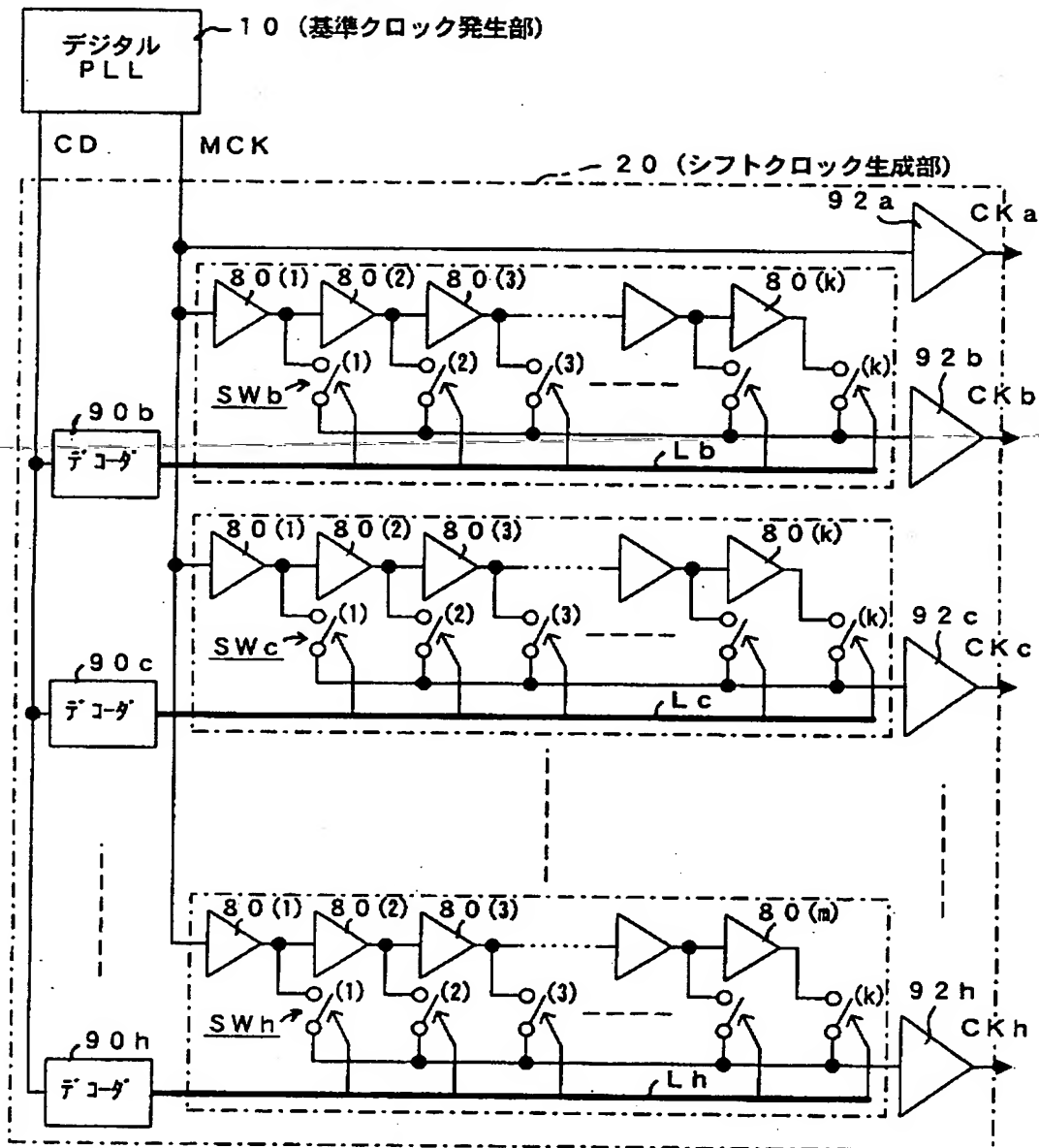


【図 5】

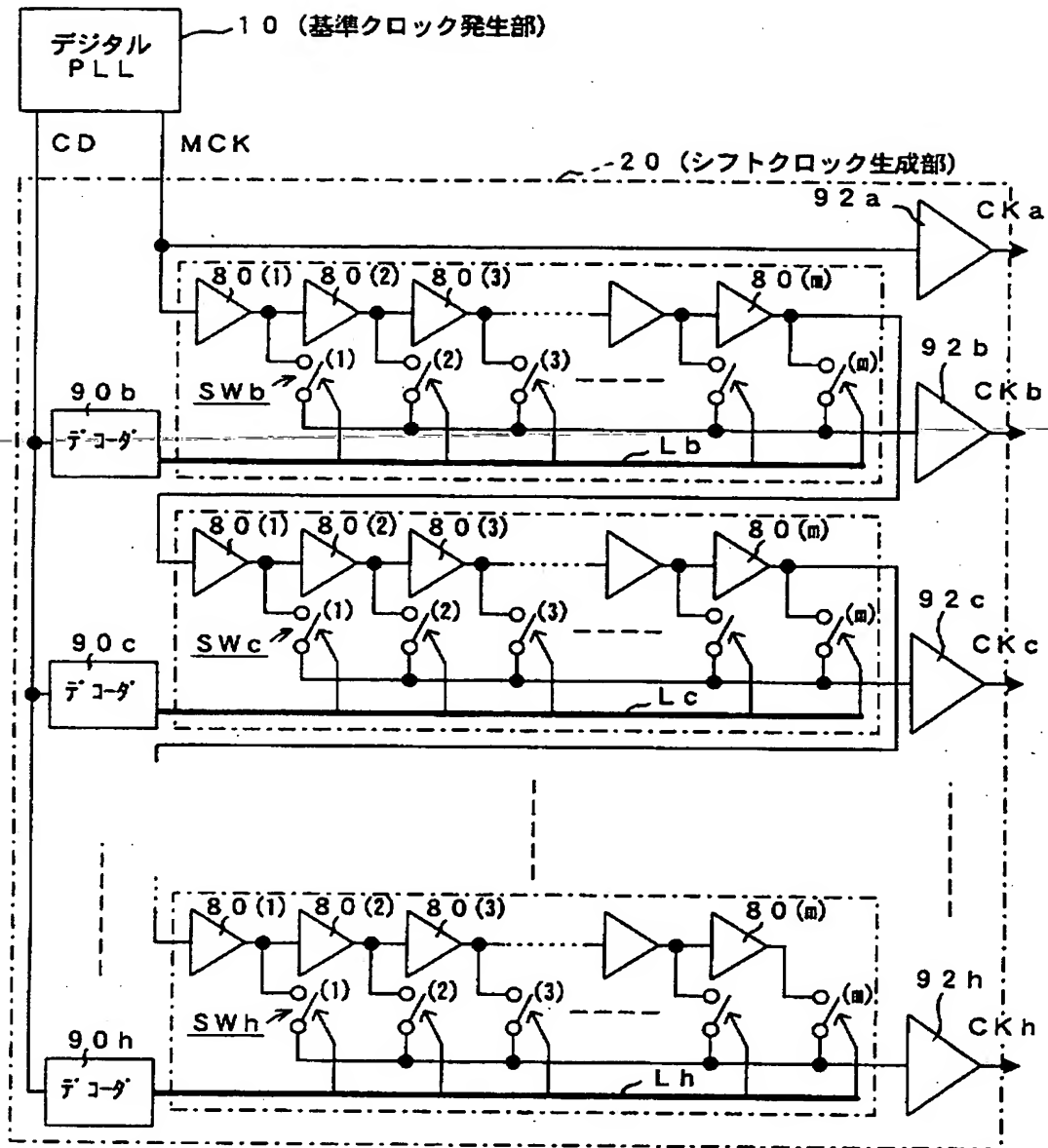




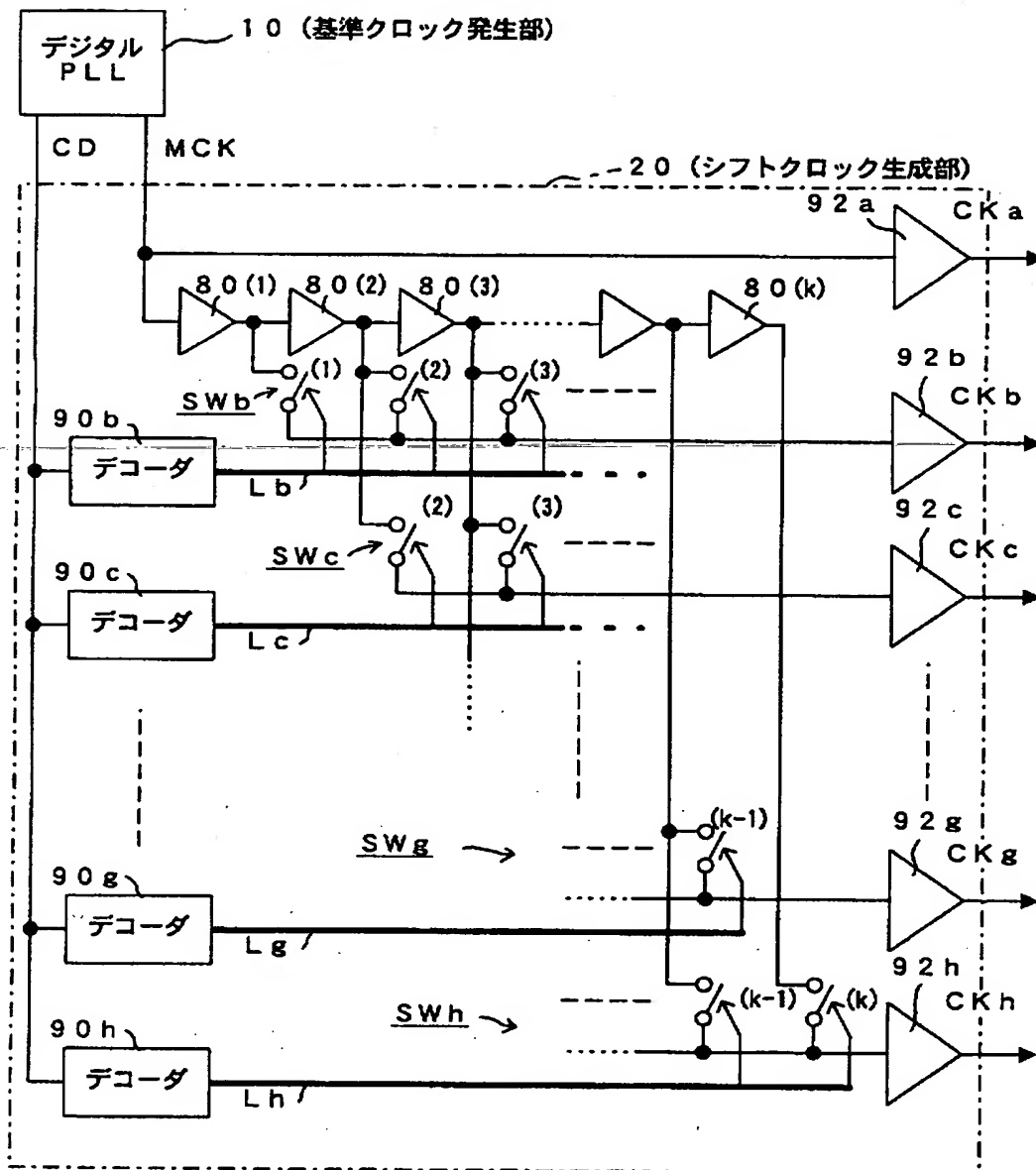
【図 6】



【図 7】

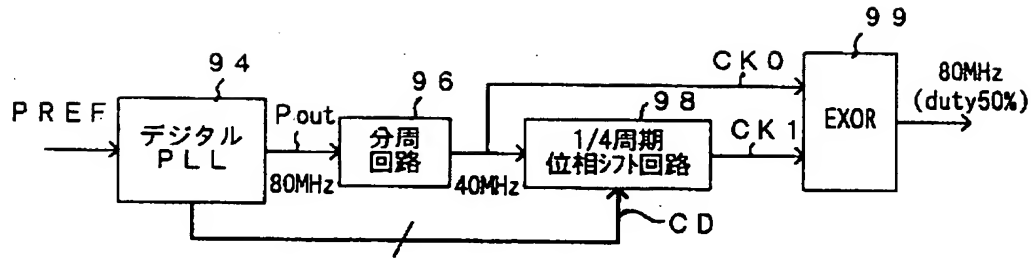


【図 8】

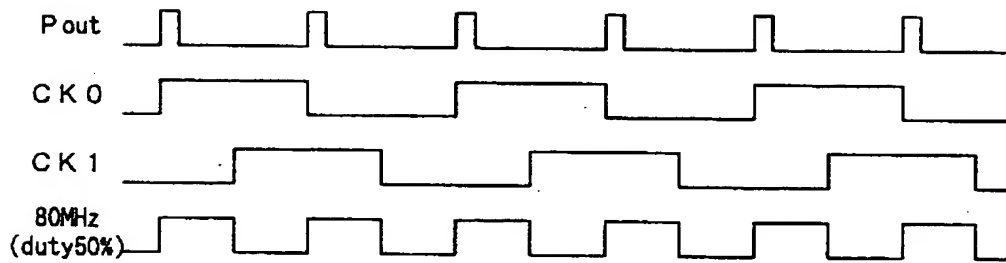


【図 9】

( a )

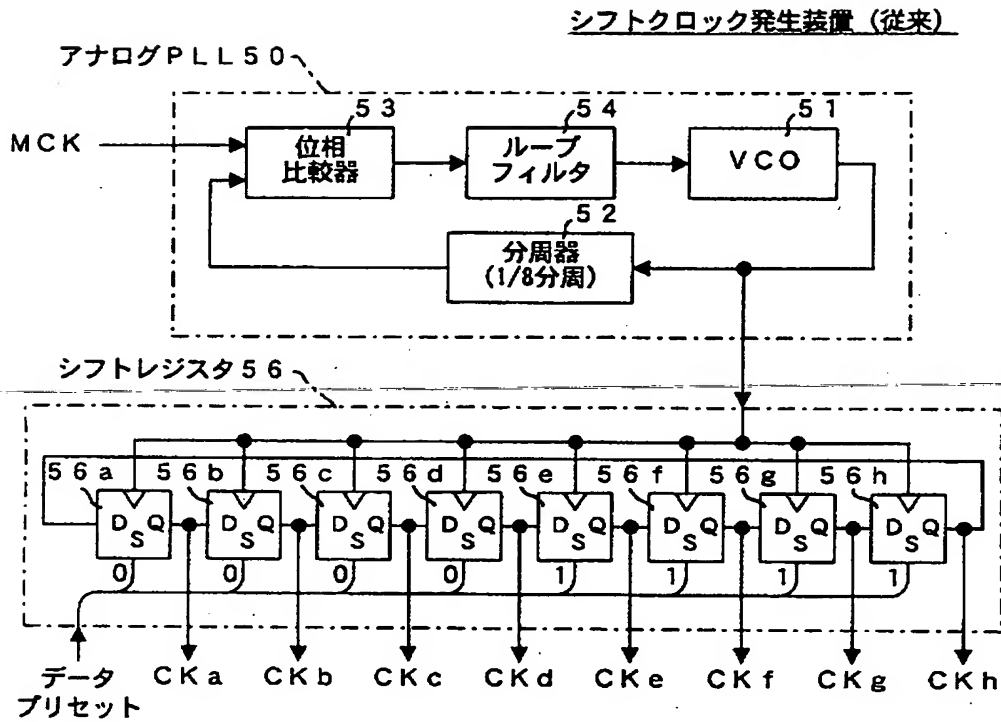


( b )

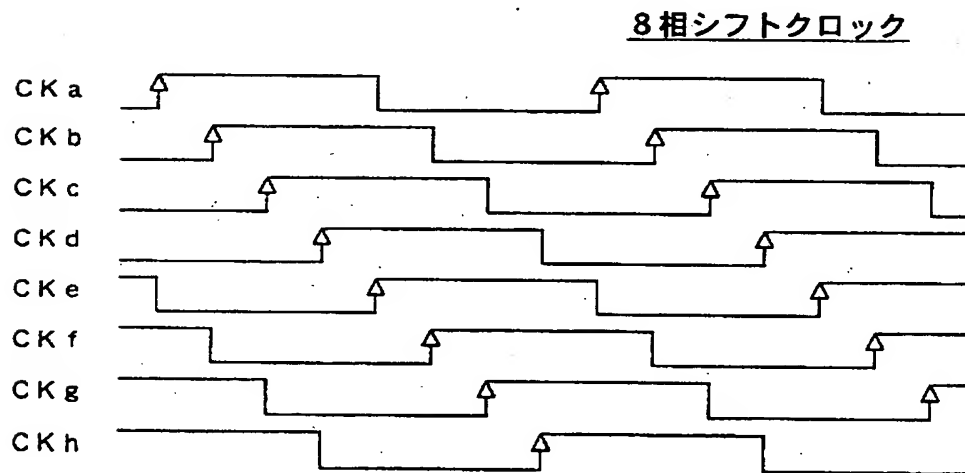


【図10】

( a )



( b )



【書類名】 要約書

【要約】

【課題】 基準クロックを所定の位相差分シフトさせたシフトクロックを、その位相差に対応した周期のクロックを用いることなく、生成できるようにする。

【解決手段】 シフトクロック生成部 2 0 は、ゲート回路からなる遅延ユニット 8 0 (1) ～ 8 0 (k) を接続した遅延線と、各遅延ユニットの出力に接続されたスイッチからなるスイッチ群 S W b ～ S W h と、各スイッチ群を構成するスイッチの中の特定スイッチをオンすることにより、基準クロックを所望時間だけ遅延させたシフトクロック C K b ～ C K h を取り出すデコーダ 9 0 b ～ 9 0 h とを備える。各デコーダには、基準クロック発生部（デジタル P L L） 1 0 にて基準クロックを生成するのに用いられた制御データが、基準クロック M C K の周期を表す周期データ C D として入力され、各デコーダは、この周期データ C D から各スイッチ群においてオンすべき特定スイッチを決定する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日  
[変更理由] 名称変更  
住 所 愛知県刈谷市昭和町1丁目1番地  
氏 名 株式会社デンソー

---